



(12)发明专利

(10)授权公告号 CN 106155973 B

(45)授权公告日 2019.04.02

(21)申请号 201610594207.5

H03L 7/099(2006.01)

(22)申请日 2016.07.26

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 106155973 A

CN 205195886 U,2016.04.27,

CN 201174041 Y,2008.12.31,

CN 105306154 A,2016.02.03,

CN 101902321 A,2010.12.01,

CN 103780252 A,2014.05.07,

CN 104378108 A,2015.02.25,

(43)申请公布日 2016.11.23

(73)专利权人 中国科学院上海应用物理研究所

地址 201800 上海市嘉定区嘉罗公路2019号

滕小波.基于DSP和CPLD的电力谐波检测系统的研究与设计.《中国优秀硕士学位论文全文数据库工程科技II辑》.2011,(第S2期),第C042-942页.

(72)发明人 赵玉彬 郑湘 张志刚 徐凯

赵申杰 刘建飞 赵振堂

审查员 李华芳

(74)专利代理机构 上海智信专利代理有限公司

31002

代理人 邓琪

(51)Int.Cl.

G06F 13/42(2006.01)

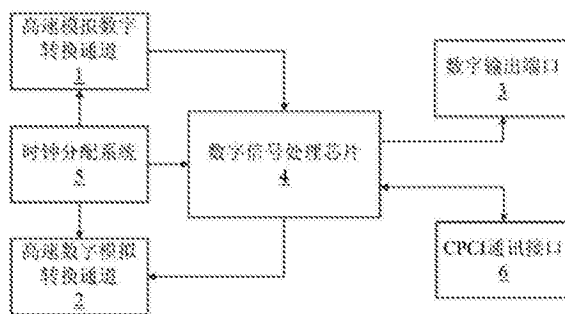
权利要求书1页 说明书5页 附图3页

(54)发明名称

能灵活配置时钟频率的数字低电平控制处理器

(57)摘要

本发明提供一种能灵活配置时钟频率的数字低电平控制处理器,包括:多路高速模拟数字转换通道、多路高速数字模拟转换通道、多路数字输出端口、数字信号处理芯片和时钟分配系统。时钟分配系统用于向数字信号处理芯片提供时钟信号,时钟分配系统包括:时钟分配芯片,用于根据输入参考信号和时钟分配芯片寄存器的配置参数向数字信号处理芯片发送时钟信号;和CPLD芯片,用于设置配置参数并存储配置参数。本发明的一种能灵活配置时钟频率的数字低电平控制处理器集成寄存器参数自动回复功能和多路扇出功能的时钟分配单元、集成多路高速模拟数字转换通道、两路高速数字模拟转换通道和多路数字输出端口,具有尺寸小、稳定可靠、经济和维护便利的优点。



1. 一种能灵活配置时钟频率的数字低电平控制处理器,其特征在于,包括:

多路高速模拟数字转换通道;

多路高速数字模拟转换通道;

多路数字输出端口;

一数字信号处理芯片,用于根据预设的一低电平反馈算法处理来自所述高速模拟数字转换通道的第一数字信号形成第二数字信号和驱动信号,并向所述高速数字模拟转换通道输出所述第二数字信号,向所述数字输出端口输出驱动信号;以及

一时钟分配系统,所述时钟分配系统包括:

一时钟分配芯片,用于根据一输入参考信号和所述时钟分配芯片的一寄存器的一配置参数向所述数字信号处理芯片发送一时钟信号;

一CPLD芯片,用于设置所述配置参数并存储所述配置参数,该CPLD芯片与所述数字信号处理芯片的一JTAG程序下载端口有4根数字信号线相连;和

一扇出芯片,所述扇出芯片连接于所述时钟分配芯片与所述数字信号处理芯片之间,用于将所述时钟分配芯片发出的一路所述时钟信号按同频率扇出多路;

其中,所述高速模拟数字转换通道包括相连的一单端转差分单元和一模数转换器,所述模数转换器与所述数字信号处理芯片通信连接;所述高速模拟数字转换通道还包括一排阻,所述排阻连接于所述模数转换器和所述数字信号处理芯片之间;

所述数字输出端口包括一输出匹配接口和一多通道数字逻辑光隔离芯片,所述多通道数字逻辑光隔离芯片连接于所述输出匹配接口和所述数字信号处理芯片之间。

2. 根据权利要求1所述的能灵活配置时钟频率的数字低电平控制处理器,其特征在于,所述单端转差分单元采用射频传输线变压器。

3. 根据权利要求1所述的能灵活配置时钟频率的数字低电平控制处理器,其特征在于,所述高速数字模拟转换通道包括相连的一数模转换器和一差分转单端单元,所述数模转换器与所述数字信号处理芯片通信连接。

4. 根据权利要求1所述的能灵活配置时钟频率的数字低电平控制处理器,其特征在于,还包括一CPCI通讯接口,所述CPCI通讯接口连接所述数字信号处理芯片。

5. 根据权利要求4所述的能灵活配置时钟频率的数字低电平控制处理器,其特征在于,所述CPCI通讯接口包括相连的一PCI芯片和一PCI总线,所述数字信号处理芯片连接所述PCI芯片并通过所述PCI芯片和所述PCI总线与一上位机通信连接。

6. 根据权利要求1-5任一项所述的能灵活配置时钟频率的数字低电平控制处理器,其特征在于,所述数字信号处理芯片采用FPGA芯片。

能灵活配置时钟频率的数字低电平控制处理器

技术领域

[0001] 本发明涉及一种数字低电平控制处理器,尤其涉及一种能灵活配置时钟频率的数字低电平控制处理器。

背景技术

[0002] 随着我国科学技术的发展和综合国力的提升,高能量和高稳定性的电子加速器为多学科领域的研究提供实验条件,一些医用加速器,如质子或重离子治疗装置也有广泛的需求。因此高精度,高稳定性和高集成度的低电平控制器应运而生。加速器高频低电平控制技术经历了全模拟控制、数字加模拟控制和全数字控制三个阶段。上世纪六十年代和九十年代末期的加速器高频低电平控制为全模拟控制,核心元件为模拟反馈放大器;模拟加数字技术作为一个过渡,存在得时间相对较短,应用也不广泛。到本世纪,因为大规模集成电路技术的发展,FPGA(Field Programmable Gate Array,现场可编程门阵列)得到了广泛使用,使得全数字化的高频低电平控制器成为现实。数字低电平控制器利用FPGA集成的逻辑门和可编程的特点,实现高频低电平的反馈算法,同时还有足够的资源提供更加便利的人机交互界面和系统诊断方式。数字化低电平控制器经多实验室科学工作者的研究,现已成熟且广泛应用到高品质,即多插入件、高流强、低能散、低发射度的带电粒子加速器中,但它对高速模拟数字转换通道数量、马达驱动、通讯方式等功能的特殊要求,目前在市场仍然无法找到同时集成自动下载功能的时钟分配、四路高速模拟数字转换通道、两路高速数字模拟转换通道、具有CPCI(Compact PCI,紧凑型PCI)通讯和八路数字输出端口的数字信号处理器;具有功能固化单一,板卡间通过同轴线缆连接结构复杂问题,提高高频信号幅度和相位的精度和稳定性控制有待提高,硬件资源不够,价格昂贵,开发维护不便等缺点。

发明内容

[0003] 针对上述现有技术中的不足,本发明提供一种能灵活配置时钟频率的数字低电平控制处理器,集成有自动下载功能和多路扇出功能的时钟分配单元、集成四路高速模拟数字转换通道、集成两路高速数字模拟转换通道和八路数字光隔离输出端口,具有尺寸小、稳定可靠、经济和维护便利的优点。

[0004] 为了实现上述目的,本发明提供一种能灵活配置时钟频率的数字低电平控制处理器,包括:

[0005] 多路高速模拟数字转换通道;

[0006] 多路高速数字模拟转换通道;

[0007] 多路数字输出端口;

[0008] 一数字信号处理芯片,用于根据预设的一低电平反馈算法处理来自所述高速模拟数字转换通道的第一数字信号形成第二数字信号和驱动信号,并向所述高速数字模拟转换通道输出所述第二数字信号,向所述数字输出端口输出驱动信号;以及

[0009] 一时钟分配系统,所述时钟分配系统包括:

[0010] 一时钟分配芯片,用于根据一输入参考信号和所述时钟分配芯片的一寄存器的一配置参数向所述数字信号处理芯片发送一时钟信号;和

[0011] 一CPLD芯片,用于设置所述配置参数并存储所述配置参数。

[0012] 优选地,所述时钟分配系统还包括一扇出芯片,所述扇出芯片连接于所述时钟分配芯片与所述数字信号处理芯片之间,用于将所述时钟分配芯片发出的一路所述时钟信号按同频率扇出多路。

[0013] 优选地,所述高速模拟数字转换通道包括相连的一单端转差分单元和一模数转换器,所述模数转换器与所述数字信号处理芯片通信连接。

[0014] 优选地,所述单端转差分单元采用射频传输线变压器。

[0015] 优选地,所述高速模拟数字转换通道还包括一排阻,所述排阻连接于所述模数转换器和所述数字信号处理芯片之间。

[0016] 优选地,所述高速数字模拟转换通道包括相连的一数模转换器和一差分转单端单元,所述数模转换器与所述数字信号处理芯片通信连接。

[0017] 优选地,所述数字输出端口包括一输出匹配接口和一多通道数字逻辑光隔离芯片,所述多通道数字逻辑光隔离芯片连接于所述输出匹配接口和所述数字信号处理芯片之间。

[0018] 优选地,还包括一CPCI通讯接口,所述CPCI通讯接口连接所述数字信号处理芯片。

[0019] 优选地,所述CPCI通讯接口包括相连的一PCI芯片和一PCI总线,所述数字信号处理芯片连接所述PCI芯片并通过所述PCI芯片和所述PCI总线与一上位机通信连接。

[0020] 优选地,所述数字信号处理芯片采用FPGA芯片。

[0021] 本发明由于采用了以上技术方案,使其具有以下有益效果:

[0022] 数字信号处理芯片用于处理四路高速模数转换器生成的第一数字信号,实现低电平的反馈算法,输出第二数字信号和驱动信号、实现CPCI通讯、以及实现连锁保护等功能。四路高速模拟数字转换通道满足本发明对模拟数字转换通道数量的需求。CPLD芯片用于以信号源提供的信号为参考,依据不同需求进行时钟分配芯片的配置,并将配置参数保存,即使板卡在掉电后,储存在CPLD芯片中的参数也不会丢失,当重新上电后,可以对时钟分配芯片内的寄存器进行重新配置。排阻的作用是简化PCB的设计、安装,减小PCB板卡的空间,保证焊接质量。单端转差分单元的作用是提高电压增益和信号传输质量。多路扇出芯片是将时钟分配芯片的一路时钟信号按同频率扇出多路,满足本发明对时钟的需求。多通道数字逻辑光隔离芯片用于提高数字信号传输时抗干扰的能力。

附图说明

[0023] 图1为本发明实施例的能灵活配置时钟频率的数字低电平控制处理器的结构示意图;

[0024] 图2为本发明实施例的高速模拟数字转换通道的结构示意图;

[0025] 图3为本发明实施例的高速数字模拟转换通道的截面图;

[0026] 图4为本发明实施例的数字输出端口的结构示意图;

[0027] 图5为本发明实施例的时钟分配系统的结构示意图;

[0028] 图6为本发明实施例的CPCI通讯接口的结构示意图;

[0029] 图7为本发明实施例的能灵活配置时钟频率的数字低电平控制处理器与一射频前端处理器的连接结构示意图。

具体实施方式

[0030] 下面根据附图1-7,给出本发明的较佳实施例,并予以详细描述,使能更好地理解本发明的功能、特点。

[0031] 请参阅图1,本发明的一种能灵活配置时钟频率的数字低电平控制处理器,包括四路高速模拟数字转换通道1、两路高速数字模拟转换通道2、八路数字输出端口3、数字信号处理芯片4、一时钟分配系统5和一CPCI通讯接口6,其中数字信号处理芯片4用于根据预设的一低电平反馈算法处理来自高速模拟数字转换通道1的第一数字信号形成第二数字信号和驱动信号,并向高速数字模拟转换通道2输出第二数字信号,向数字输出端口3输出驱动信号;时钟分配系统5用于向数字信号处理芯片4、高速模拟数字转换通道1和高速数字模拟转换通道2提供时钟信号。数字信号处理芯片4通过CPCI通讯接口6与外部一上位机(图中未示)通信连接。

[0032] 本实施例中,数字信号处理芯片4采用FPGA芯片,型号为EP2S60F1020I4,在其他实施例中也可根据需要选用其他型号的FPGA芯片。数字信号处理芯片4有719个可供使用的I/O针脚,用于处理四路高速模数转换器生成的第一数字信号,实现低电平的反馈算法,输出第二数字信号和驱动信号、实现CPCI通讯、以及实现连锁保护等功能。四路高速模拟数字转换通道1满足本发明对模拟数字转换通道数量的需求。本发明中八路数字输出端口3主要为外部电机提供驱动信号,且可以同时实现对两台电机的同步控制,可用于调节外接粒子加速器高频腔体的谐振频率和多cell腔体的场平坦度。

[0033] 请参阅图2,高速模拟数字转换通道1包括依次相连的一单端转差分单元11、一模数转换器12和一排阻13,排阻13连接于模数转换器12和数字信号处理芯片4之间。本实施例中,单端转差分单元11采用射频传输线变压器,本实施例中,采用1:1的射频传输线变压器,其型号为ETC1-1T,在其他实施例中也可根据需要选用其他型号的射频传输线变压器。

[0034] 每个高速模拟数字转换通道1的射频信号都经过单端转差分单元11进行单端转差分处理后输入到模数转换器12,该模数转换器12位数为14位,最高采样速率为125Msps,型号为LTC2255,在其他实施例中,也可根据需要采用其他型号的模数转换器12。经模数转换器12输出的第一数字信号经排阻13再被送入数字信号处理芯片4中做相应的算法。排阻13的作用是简化PCB的设计、安装,减小PCB板卡的空间,保证焊接质量。单端转差分单元11的作用是提高电压增益和信号传输质量。

[0035] 请参阅图3,高速数字模拟转换通道2包括相连的一数模转换器21和一差分转单端单元22,差分转单端单元22采用1:1的射频传输线变压器,型号为ETC1-1T。数模转换器21与数字信号处理芯片4通信连接。

[0036] 本实施例中,第二数字信号输出到位数为14位的双通道转换的数模转换器21,经数模转换器21后,转换成差分模拟信号,经差分转单端单元22后送出。数模转换器21的型号为ISL5927,在其他实施例中,也可根据需要选用其他型号的数模转换器21。

[0037] 请参阅图4,数字输出端口3包括一输出匹配接口31和一多通道数字逻辑光隔离芯片32,多通道数字逻辑光隔离芯片32连接于输出匹配接口31和数字信号处理芯片4之间。

[0038] 本实施例中,多通道数字逻辑光隔离芯片32的型号为AV02-6400,用于提高数字信号传输时抗干扰的能力,在其他实施例中,可根据需要选用其他型号的多通道数字逻辑光隔离芯片32。驱动信号经数字输出端口3输出,此多通道数字逻辑光隔离芯片32的输入端和输出端的供电独立。

[0039] 请参阅图5,时钟分配系统5包括依次相连的一CPLD芯片51(复杂可编程逻辑器件芯片)、一时钟分配芯片52和一扇出芯片53,扇出芯片53与数字信号处理芯片4通信连接。其中,时钟分配芯片52用于根据一输入参考信号和时钟分配芯片52的一寄存器的一配置参数向数字信号处理芯片4发送时钟信号。CPLD芯片51,用于设置配置参数并存储配置参数。

[0040] 本实施例中,时钟分配芯片52采用AD9510时钟芯片,可以接收低于1.2GHz的射频信号,其输出频率值可以通过改变内部寄存器不同的值来改变,这样可以根据实际工作频率的需要,设计连接于时钟分配芯片52的各部件所需的工作频率。在其他实施例中,可根据需要选用其他型号的时钟分配芯片52。

[0041] CPLD芯片51采用EPM3128ATC100-10芯片,以信号源提供的信号为参考,依据不同需求进行时钟分配芯片52的配置,并将配置参数保存,即使板卡在掉电后,储存在CPLD芯片51中的参数也不会丢失,当重新上电后,可以对时钟分配芯片52内的寄存器进行重新配置。且CPLD芯片51与数字信号处理芯片4的一JTAG程序下载端口有4根数字信号线相连,如须改变时钟分配芯片52寄存器的配置参数,可以通过JTAG程序下载端口对CPLD芯片51进行重新配置,增加了系统的灵活性。在其他实施例中,可根据需要选用其他型号的CPLD芯片51。

[0042] 输入参考信号CLK1经单端转差分后输入时钟分配芯片52,在时钟分配芯片52中对寄存器进行参数设置,得到所需的输出时钟;CPLD芯片51通过对时钟分配芯片52的接口STATUS、SCLK、SDIO、SDO和CSB进行读写操作,使得时钟分配芯片52要求进行配置。CPLD芯片51将在本发明每次上电后自动对时钟分配芯片52进行配置,因CPLD芯片51主要基于EEPROM(电可擦可编程只读存储器)或FLASH存储器编程,在CPLD芯片51断电时内部编程信息不会丢失。将时钟分配芯片52中的寄存器参数设置保存到CPLD芯片51中,解决数字低电平控制器掉电后时钟分配芯片52无记忆性的问题。多路扇出芯片53是将时钟分配芯片52的一路时钟信号按同频率扇出多路,满足本发明对时钟的需求。

[0043] 请参阅图6,CPCI通讯接口6包括相连的一PCI芯片61和一PCI总线62,数字信号处理芯片4连接PCI芯片61并通过PCI芯片61和PCI总线62与一上位机通信连接,实现与上位机的信息交互,可将数字信号处理芯片4采集和生成的数据送到上位机进行监测,同时,也可将上位机的控制命令送入数字信号处理芯片4,干涉控制环路的运行过程。

[0044] 本实施例中,PCI芯片61的型号为PCI9054,在其他实施例中也可根据需要选用其他型号的PCI芯片61。

[0045] 请参阅图1,本发明具有以下优点:

[0046] (1)、时钟分配系统5集成了自动下载功能和多路扇出的功能。自动下载功能保障处理器掉电后时钟配置不丢失。多路扇出满足高速模拟数字转换通道1、高速数字模拟转换通道2和数字信号处理芯片4的时钟要求。提高了本发明的集成度,减少了许多外部接线,增强数字低电平控制系统的硬件稳定性。

[0047] (2)、四路高速模拟数字转换通道1和两路高速数字模拟转换通道2,可以更好的满足带电粒子加速器中高频低电平控制的硬件要求。

[0048] (3)、本发明基于CPCI通信,采用CPCI通讯接口6,提高了数据的交互速度。

[0049] (4)、本发明集成八路数字输出端口3,可以更好的满足带电粒子加速器中高频低电平控制多腔模组的频率和多cell腔模组的场平坦度。

[0050] (5)、本发明在应用时可使整个数字化低电平控制器的尺寸减小,且稳定性可靠,经济实惠,维护便利。

[0051] 请参阅图7,当本发明连接于一射频前端处理板7时,为本发明在一数字低电平控制系统的應用。

[0052] 射频前端处理板7主要实现本振信号生成、下变频和上变频;本发明实现时钟分配、高速模拟数字转换、高速数字模拟转换、数字输出、CPCI通讯和数字信号处理等功能。从信号源送出的信号(500MHz)经功率分配器71后,其中一路作为时钟分配芯片52的基准输入,在时钟分配芯片52中使用除法寄存器,得到所需的数模转换器21工作时钟 f_{DAC} 除以5,模数转换器12工作时钟 f_{ADC} 除以20和中频信号时钟 f_{IF} 除以16,此三个时钟关系如下:

$$[0053] \quad \begin{cases} \frac{f_{IF}}{f_{DAC}} = \frac{5}{4} \\ \frac{f_{DAC}}{f_{IF}} = \frac{16}{5} \end{cases}$$

[0054] 这样可以确保正交采样。

[0055] 因射频信号频率比较高(500MHz或者更高),直接进行采样是不现实的,需要进行下变频。而下变频则为粒子加速器中高频系统的被控制信号(500MHz)与本振信号经第一混频器72和第一滤波器73后所得。本振信号则由参考信号与时钟分配芯片52输出的中频信号经第二混频器74和第二滤波器75后产生(468.75MHz)。

[0056] 每路射频信号经模数转换器12采样得到互为正交信号量,在数字信号处理芯片4做算法,如射频信号的幅度和相位控制,频率调节,多cell腔的场平坦度控制,经由数模转换器21、第三混频器76和第三滤波器77上变频后将500MHz射频信号恢复输出。其中在频率调节和多cell腔的场平坦度控制时,需要对腔上的电机进行控制,主要通过八路数字输出端口3,经逻辑处理后将脉冲信号、使能信号和方向信号控制的驱动信号向电机8输出。

[0057] 利用本发明在上海光源储存环高频进行带束测试,具有良好的控制精度和稳定运行可靠性能,具体数字化低电平性能参数如下。

幅度频谱	>70dBc
相位频谱	>100dBc
[0058] 幅度稳定度(peak-peak)	$\leq \pm 0.06\%$
相位稳定度(peak-peak)	$\leq \pm 0.05^\circ$

[0059] 以上的,仅为本发明的较佳实施例,并非用以限定本发明的范围,本发明的上述实施例还可以做出各种变化。即凡是依据本发明申请的权利要求书及说明书内容所作的简单、等效变化与修饰,皆落入本发明专利的权利要求保护范围。

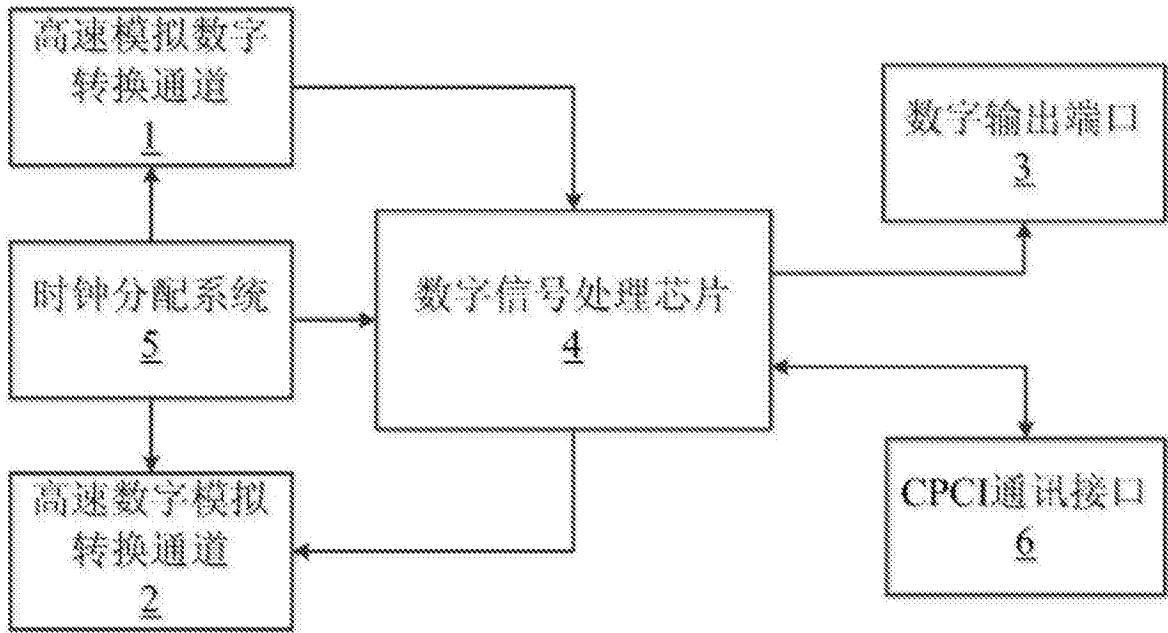


图1

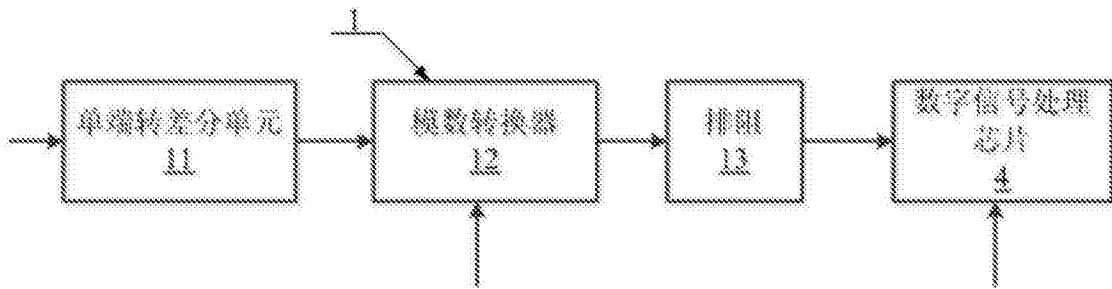


图2

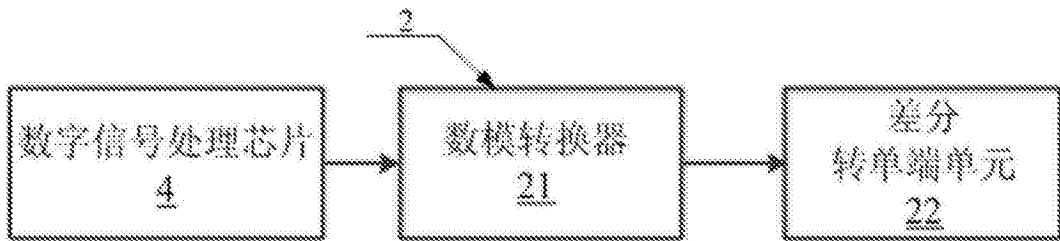


图3

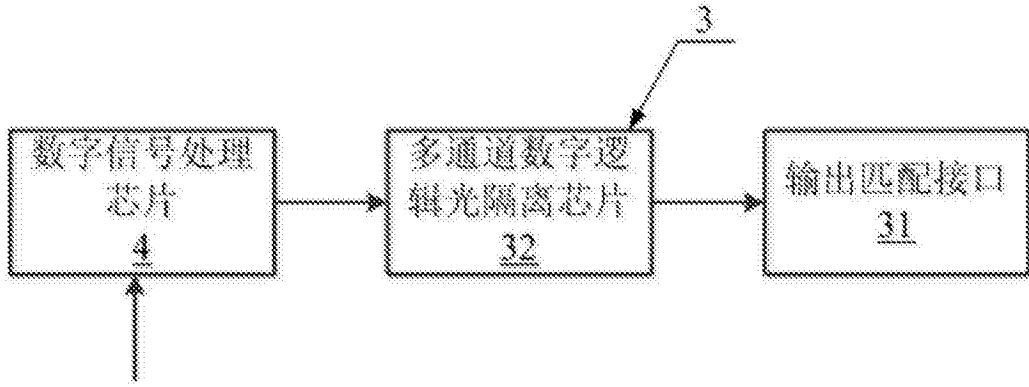


图4

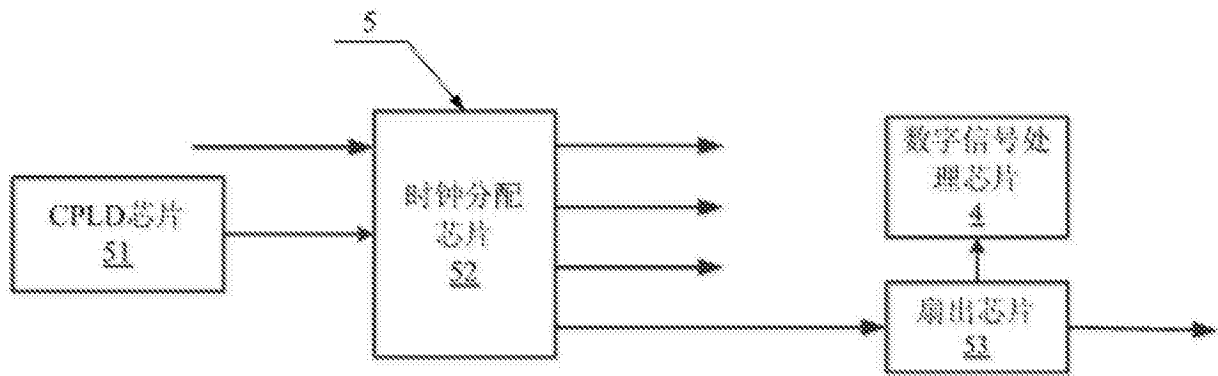


图5

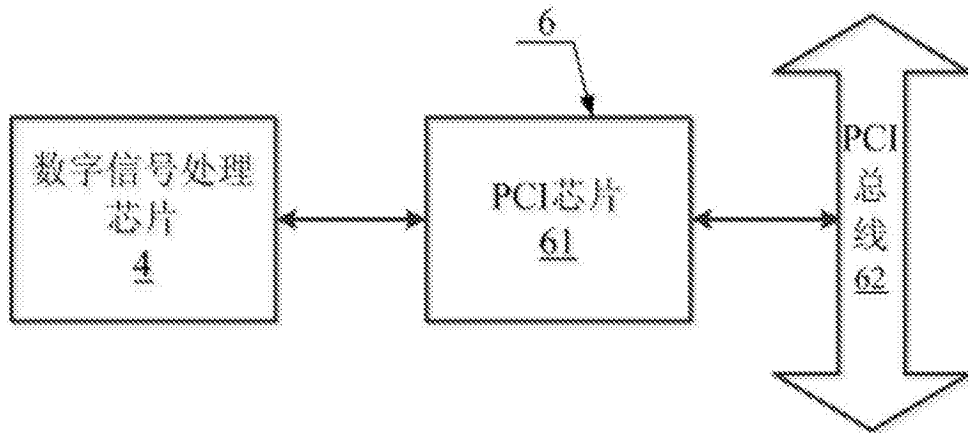


图6

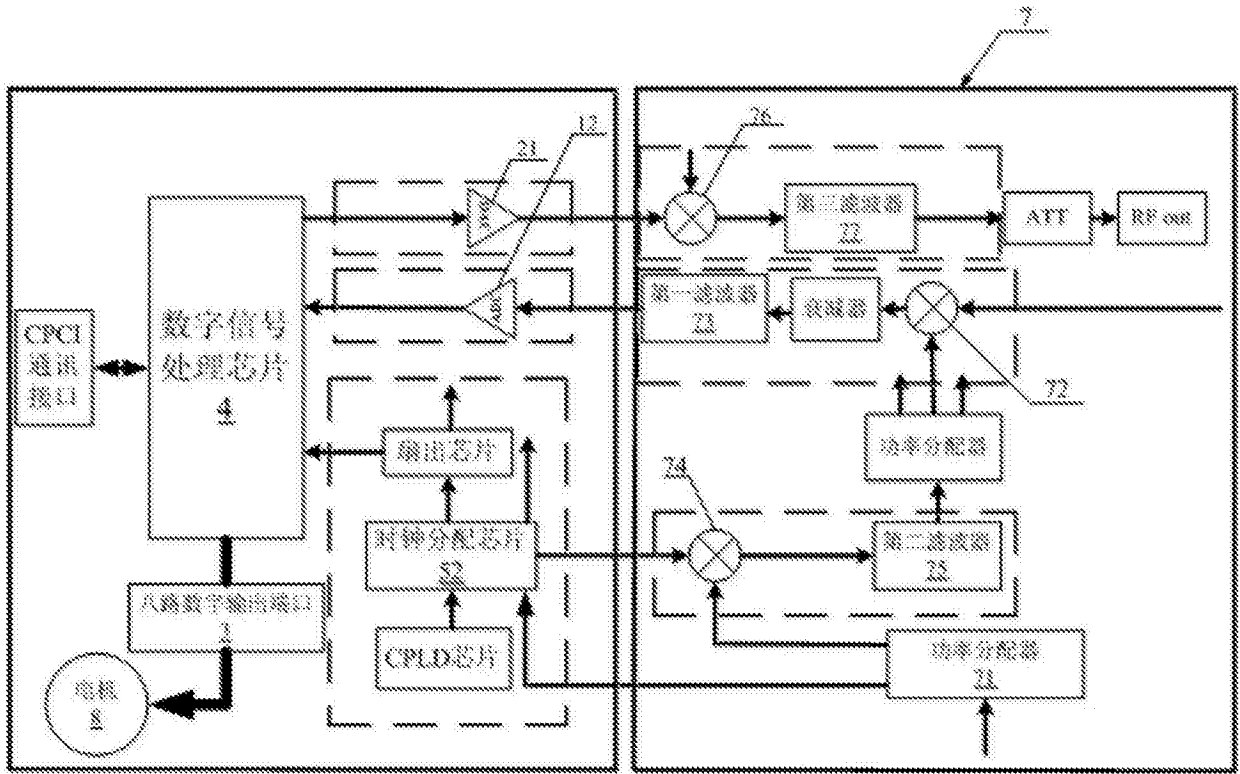


图7