



(12) 实用新型专利

(10) 授权公告号 CN 205215970 U

(45) 授权公告日 2016. 05. 11

(21) 申请号 201520899568. 1

(22) 申请日 2015. 11. 12

(73) 专利权人 中国科学院上海应用物理研究所  
地址 201800 上海市嘉定区嘉罗公路 2019 号

(72) 发明人 刘永芳 谷鸣 袁启兵 童金

(74) 专利代理机构 上海智信专利代理有限公司  
31002  
代理人 邓琪 杨希

(51) Int. Cl.  
A61N 5/10(2006. 01)

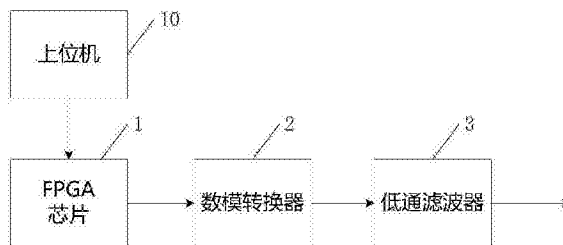
权利要求书1页 说明书4页 附图2页

(54) 实用新型名称

一种用于质子治疗装置慢引出系统的线性扫频信号发生器

(57) 摘要

本实用新型涉及一种用于质子治疗装置慢引出系统的线性扫频信号发生器,其包括:FPGA 芯片,其包括:频率可调锁相环;与所述频率可调锁相环连接的控制逻辑单元;与所述控制逻辑单元连接的频率累加器;与所述控制逻辑单元以及频率累加器连接的相位累加器;以及与所述控制逻辑单元以及相位累加器连接的预存有正弦信号的相位幅度对应信息的 ROM;所述发生器还包括:与所述 FPGA 芯片连接的数模转换器;以及与所述数模转换器连接的低通滤波器。本实用新型系统响应快,可靠性高且能够实时更新输出信号参数,同时本实用新型采用的集成化方案能大大的节省成本。



1. 一种用于质子治疗装置慢引出系统的线性扫频信号发生器,其特征在于,所述发生器包括:

FPGA芯片,其包括:

频率可调锁相环,其接收并根据外围输入的系统时钟信号以及时钟变频控制字,输出变频时钟信号;

与所述频率可调锁相环连接的控制逻辑单元,其接收并根据所述变频时钟信号以及外围输入的扫频参数,输出扫频起始频率控制字、扫频终止频率控制字、频率跳变间隔控制字及扫频周期频率控制字;

与所述控制逻辑单元连接的频率累加器,其接收所述变频时钟信号以及所述扫频起始频率控制字、扫频终止频率控制字、频率跳变间隔控制字及扫频周期频率控制字,并输出对应的频率控制字;

与所述控制逻辑单元以及频率累加器连接的相位累加器,其接收所述变频时钟信号以及频率控制字,并输出与该频率控制字对应的正弦信号相位序列值;以及

与所述控制逻辑单元以及相位累加器连接的预存有正弦信号的相位幅度对应信息的ROM,其接收所述变频时钟信号以及正弦信号相位序列值,并输出与该正弦信号相位序列值对应的正弦信号幅度序列值;

与所述FPGA芯片连接的数模转换器,其对所述正弦信号幅度序列值进行数模转换;以及

与所述数模转换器连接的低通滤波器,其对所述数模转换器输出的信号进行滤波,并输出线性扫频信号。

2. 根据权利要求1所述的用于质子治疗装置慢引出系统的线性扫频信号发生器,其特征在于,所述低通滤波器为MFB结构的低通滤波器。

3. 根据权利要求2所述的用于质子治疗装置慢引出系统的线性扫频信号发生器,其特征在于,所述低通滤波器为五阶巴特沃斯滤波器。

4. 根据权利要求1、2或3所述的用于质子治疗装置慢引出系统的线性扫频信号发生器,其特征在于,所述低通滤波器的截止频率为10MHz。

## 一种用于质子治疗装置慢引出系统的线性扫频信号发生器

### 技术领域

[0001] 本实用新型涉及一种频率调制信号的发生装置,尤其涉及一种用于质子治疗装置慢引出系统的线性扫频信号发生器。

### 背景技术

[0002] 质子束在人体内的能量呈现Bragg峰特性,这使得在各种放射治疗癌症的方法中质子束治疗相较于常规的治疗方法有其独特的优势。近几年来,随着加速器技术的发展,用于治疗肿瘤的质子加速器得到了迅速的发展。质子加速器的束流引出方案多采用共振慢引出的方式,这种引出方案具有引出效率高,引出束流品质好的优点。

[0003] 共振慢引出的原理是调节束流参数使其处于临界值,然后通过外加横向RFKO(RF-knockout)电场激励使部分粒子进入不稳定区从而被引出。RFKO慢引出的重要优点是引出过程加速器的Lattice参数不需要改变。

[0004] 外加的横向干扰是通过外加激励信号实现的。激励信号是一定带宽的窄带信号。对于激励信号的生成可以采用以下两种方式实现,第一种,采用三角波与正弦波FM调制实现(例如作者K.Nodaa,T.Furukawab,S.Shibuya的“Advanced RF-KO slow-extraction method for the reduction of spill ripple”(Nuclear Instruments and Methods in Physics Research));第二种,采用外置DDS芯片实现信号的生成(例如作者K.Mizushima,S.Sato,T.Shirai,T.Furukawa的“Development of beam current control system in RF-knockout slow extraction”(Nuclear Instruments and Methods in Physics Research B),作者童金的“基于FPGA和DDS的质子同步加速器共振慢引出信号源研制”)。然而,第一种FM调制采用间接生成窄带频率信号的方式,这种方式生成的信号频带内频率跳变值太高(1KHz);第二种采用DDS芯片的方式是一种直接信号生成方式,这种方式虽然实现方便,但是改变输出信号的参数时需要采用总线通信,因此无法做到输出信号参数改变的实时快速响应。

### 实用新型内容

[0005] 为了解决上述现有技术存在的问题,本实用新型旨在提供一种用于质子治疗装置慢引出系统的线性扫频信号发生器,以为质子治疗装置慢引出系统提供高速高精度线性扫频信号,并能够实时更新该信号参数。

[0006] 本实用新型所述的一种用于质子治疗装置慢引出系统的线性扫频信号发生器,其包括:

[0007] FPGA芯片,其包括:

[0008] 频率可调锁相环,其接收并根据外围输入的系统时钟信号以及时钟变频控制字,输出变频时钟信号;

[0009] 与所述频率可调锁相环连接的控制逻辑单元,其接收并根据所述变频时钟信号以及外围输入的扫频参数,输出扫频起始频率控制字、扫频终止频率控制字、频率跳变间隔控

制字及扫频周期频率控制字；

[0010] 与所述控制逻辑单元连接的频率累加器,其接收所述变频时钟信号以及所述扫频起始频率控制字、扫频终止频率控制字、频率跳变间隔控制字及扫频周期频率控制字,并输出对应的频率控制字；

[0011] 与所述控制逻辑单元以及频率累加器连接的相位累加器,其接收所述变频时钟信号以及频率控制字,并输出与该频率控制字对应的正弦信号相位序列值；以及

[0012] 与所述控制逻辑单元以及相位累加器连接的预存有正弦信号的相位幅度对应信息的ROM,其接收所述变频时钟信号以及正弦信号相位序列值,并输出与该正弦信号相位序列值对应的正弦信号幅度序列值；

[0013] 与所述FPGA芯片连接的数模转换器,其对所述正弦信号幅度序列值进行数模转换；以及

[0014] 与所述数模转换器连接的低通滤波器,其对所述数模转换器输出的信号进行滤波,并输出线性扫频信号。

[0015] 在上述的用于质子治疗装置慢引出系统的线性扫频信号发生器中,所述低通滤波器为MFB结构的低通滤波器。

[0016] 在上述的用于质子治疗装置慢引出系统的线性扫频信号发生器中,所述低通滤波器为五阶巴特沃斯滤波器。

[0017] 在上述的用于质子治疗装置慢引出系统的线性扫频信号发生器中,所述低通滤波器的截止频率为10MHz。

[0018] 由于采用了上述的技术解决方案,本实用新型通过在一块FPGA芯片中集成频率可调锁相环、控制逻辑单元、频率累加器、相位累加器以及ROM(只读存储器),从而在FPGA芯片内部产生变频时钟信号,并利用频率累加器实现输出信号频率的线性扫频,由此可以有效提高时钟频率,加快系统响应速度,并且由于在FPGA芯片内部采用并行方式传输数据,因此如果要修改最终输出信号参数只需要一个时钟周期即可,由此即可可靠性高且实时地更新输出信号的参数。同时,本实用新型还采用了外置的数模转换器,因此,可以便于根据需要选用性能好的数模转换器,通过提高数模转换器的分辨率来提高系统的相位截断噪声性能。

## 附图说明

[0019] 图1是本实用新型一种用于质子治疗装置慢引出系统的线性扫频信号发生器的结构框图；

[0020] 图2是本实用新型中FPGA芯片的内部结构框图；

[0021] 图3是本实用新型中低通滤波器的结构示意图。

## 具体实施方式

[0022] 下面结合附图,给出本实用新型的较佳实施例,并予以详细描述。

[0023] 请参阅图1-3,本实用新型,即一种用于质子治疗装置慢引出系统的线性扫频信号发生器,其包括:依次连接的FPGA芯片1、数模转换器2(DAC)和低通滤波器3(LPF)。

[0024] FPGA芯片1采用纯硬件结构实现,其具体包括:

[0025] 频率可调锁相环(PLL)11,其接收外围输入(例如通过上位机10输入)的系统时钟信号以及时钟变频控制字PLL-CTRL,并输出与时钟变频控制字对应的变频时钟信号CLK;

[0026] 与频率可调锁相环11连接的控制逻辑单元12,其接收并根据变频时钟信号以及外围输入(例如通过上位机10输入)的扫频参数,输出扫频起始频率控制字FTW-START、扫频终止频率控制字FTW-END、频率跳变间隔控制字DFW以及扫频周期控制字SFT;

[0027] 与控制逻辑单元12连接的频率累加器13,其接收变频时钟信号CLK以及扫频起始频率控制字FTW-START、扫频终止频率控制字FTW-END、频率跳变间隔控制字DFW以及扫频周期控制字SFT,并输出对应的频率控制字FTW;

[0028] 与控制逻辑单元12以及频率累加器13连接的相位累加器14,其接收变频时钟信号CLK以及频率控制字FTW,并输出与该频率控制字FTW对应的正弦信号相位序列值,即,相位累加器14实现了频率控制字FTW到正弦信号相位序列值的转换;以及

[0029] 与控制逻辑单元12以及相位累加器14连接的预存有一个周期的正弦信号的相位幅度对应信息的ROM 15,其接收变频时钟信号CLK以及正弦信号相位序列值,并输出与该正弦信号相位序列值对应的正弦信号幅度序列值。

[0030] 数模转换器2用于对FPGA芯片1输出的正弦信号幅度序列值进行数模转换,从而实现给定的数字幅度序列到幅度的转换,在本实施例中,数模转换器2可采用DAC5672型产品实现。

[0031] 低通滤波器3用于对数模转换器2输出的模拟信号进行滤波,并输出线性扫频信号(该线性扫频信号为正弦信号)。

[0032] 在本实用新型中,通过时钟变频控制字PLL-CTRL可以控制PLL输出的变频时钟信号的频率变化,例如根据DDS的原理可知,在频率控制字位数较大的情况下,相位截断引入的杂散比较大,对应这种情况,可以采用时钟变频控制字来控制变频时钟信号的频率变化,从而减小相位截断引入的杂散。

[0033] 在本实用新型中,频率累加器13用于对变频时钟信号CLK进行计数,并且每隔一段时间相应地改变输出的频率控制字FTW的值,由于频率累加器13一直在更新频率控制字FTW,从而导致滤波器3最终输出的信号的频率也随着频率控制字的变化而实时变化,因此,频率累加器13实现频率控制字FTW的线性扫描即可实现滤波器3输出信号频率的线性扫频,即使滤波器3输出线性扫频信号。

[0034] 在本实用新型中,正弦信号的相位幅度对应信息通过MATLAB计算生成后存储在ROM中,一般情况下,存储完毕之后内容不再改变,只保留寻址信号位和存储值输出信号位。

[0035] 在本实用新型中,由于数据转换器2输出的模拟信号是经过量化的阶梯信号,因此需要通过低通滤波器3滤除掉时钟噪声等高频成分,使输出信号变得平滑。由于实际使用扫频信号范围一般不会超过10MHz,因此本实施例中设计的低通滤波器3为截止频率为10MHz的五阶巴特沃斯滤波器,这种巴特沃斯滤波器具有最大的通带内幅度相应平坦度,在电路结构上采用MFB(多反馈)结构(如图3所示,由于图3中的滤波器结构为本领域公知的五阶MFB结构,因此此处不再赘述)。

[0036] 下面以相位累加器的位数 $n$ 取17bit,要求发生器输出的信号质量为:在1ms内从1.98MHz扫频到2.02MHz,频带内频率点跳变小于100Hz为例,说明本实用新型的工作原理。首先,上位机10根据质子加速器的运行参数计算出慢引出所需要的横向扰动的参数,即本

例所述的在1ms内从1.98MHz扫频到2.02MHz,频带内频率点跳变小于100Hz,并将该参数输入给本信号发生器。本实用新型的线性扫频信号发生器根据上位机10提供的参数计算出扫频起始频率控制字FTW-START、扫频终止频率控制字FTW-END、频率跳变间隔控制字DFW以及扫频周期控制字SFT这四个参数。本实用新型的线性扫频信号发生器根据上位机10提供的时钟变频控制字PLL-CTRL,设定变频时钟信号CLK为20MHz,根据1.98MHz的扫频起始点计算出:扫频起始频率控制字 $FTW-START = 1.98MHz * 2^n / CLK$ (该计算公式为本领域公知内容)  $\approx 12976$ ,同理计算出:扫频终止频率控制字 $FTW-END \approx 13238$ ,同时将频率跳变间隔控制字DFW设定为50Hz,即频带内50Hz频率跳变一次,将扫频周期控制字SFT设定为1ms,至此,本实用新型的线性扫频信号发生器就会在1ms内从1.98MHz扫频到2.02MHz。假如此时质子加速器运行参数变化了,那么上位机会及时将变化了的参数发送给FPGA芯片,由其实现实时更改输出信号的频率。

[0037] 基于上述结构,本实用新型与现有技术(例如“基于FPGA和DDS的质子同步加速器共振慢引出信号源研制”)相比,采用了更加集成化的方案,重点提高了上述现有技术中控制器FPGA与DDS芯片之间通信的速度与可靠性问题。具体来说,上述现有技术中FPGA与DDS芯片采用SPI通信方式传送DDS工作需要设置的参数,传送一个32bit命令字需要至少32个命令字时钟周期外加16个地址位时钟周期。每一次更改DDS芯片的输出信号的参数至少需要更改四个命令字,这就需要 $(32+16)*4 = 192$ 个时钟周期。而SPI通信方式的时钟频率又不能做的太高(最大值10MHz)。而本实用新型中采用集成化方案在FPGA芯片内部产生变频时钟信号,该时钟信号的频率可以轻松达到100MHz,并且数据线采用内部并行方式,因此当上位机给出的参数发生更改时,更改的设定参数能够并行传输到FPGA芯片内部,而且使得输出信号的参数修改只需要一个时钟周期,由此即可实现输出信号参数的实时更新。

[0038] 另外,与上述现有技术相比,本实用新型采用相对于FPGA芯片而言外置的数模转换器来取代DDS芯片内部集成的DAC芯片。根据笔者调研可知,上述DDS芯片中集成的DAC芯片的分辨率只有14bit,而本实用新型则可以根据需要选用更好的数模转换器,通过提高数模转换器的分辨率对于提高系统的相位截断噪声性能可以起到很好的作用。

[0039] 综上所述,本发明具有以下优点:

[0040] (1)本实用新型将信号发生器的主要部件几乎全部集成到FPGA芯片内部,系统响应快,可靠性高且能够实时更新输出信号的参数。

[0041] (2)本实用新型采用的时钟频率可以根据输出信号的频率实时调节,这可以使频带内频率跳变做到50Hz甚至更低,从而有效提高信号频谱质量。

[0042] (3)本实用新型采用的集成化方案能大大的节省成本。相对于一般的外置DDS芯片方案需要为DDS芯片配一个控制芯片来说,本实用新型相当于将DDS芯片及其控制芯片全部集成到FPGA芯片内部,从而大大降低了系统成本。

[0043] 以上所述的,仅为本实用新型的较佳实施例,并非用以限定本实用新型的范围,本实用新型的上述实施例还可以做出各种变化。即凡是依据本实用新型申请的权利要求书及说明书内容所作的简单、等效变化与修饰,皆落入本实用新型专利的权利要求保护范围。本实用新型未详尽描述的均为常规技术内容。

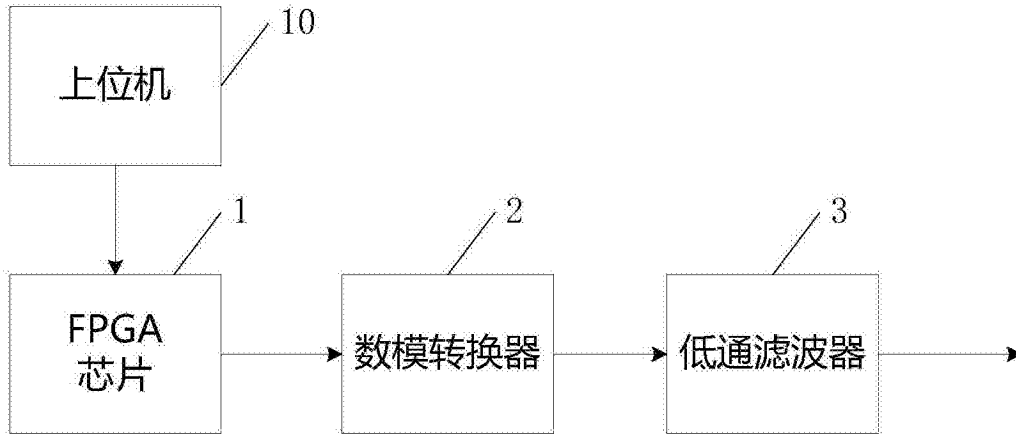


图1

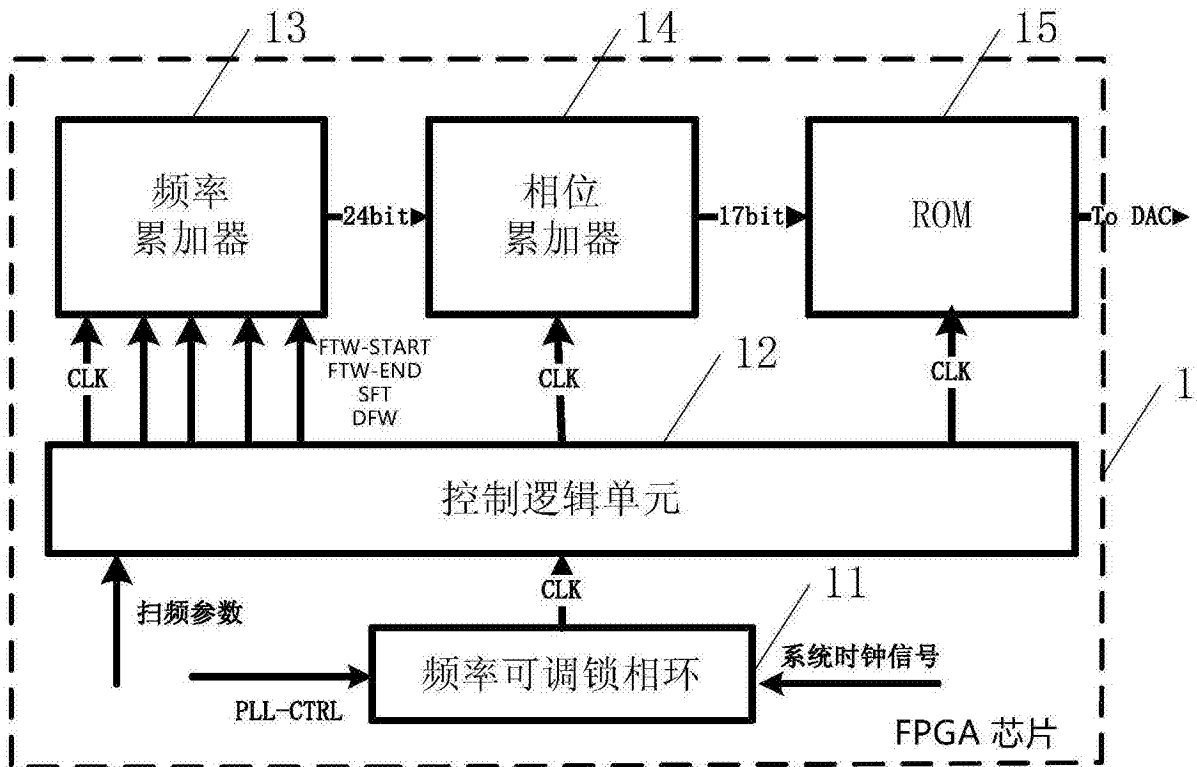


图2

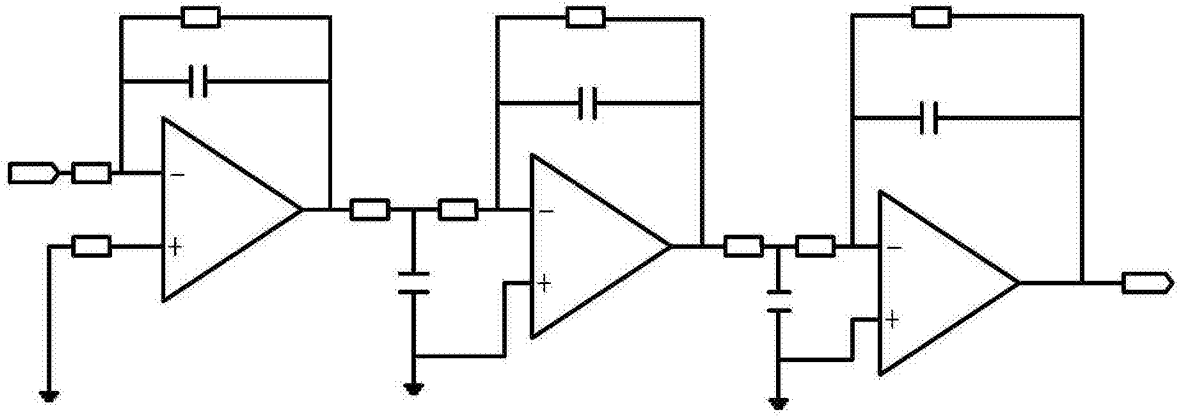


图3