



(12) 实用新型专利

(10) 授权公告号 CN 205232154 U

(45) 授权公告日 2016. 05. 11

(21) 申请号 201520989314. 9

(22) 申请日 2015. 12. 02

(73) 专利权人 中国科学院上海应用物理研究所
地址 201800 上海市嘉定区嘉罗公路 2019 号

(72) 发明人 刘永芳 谷鸣 袁启兵 童金
周孝轩 吴勇华

(74) 专利代理机构 上海智信专利代理有限公司
31002
代理人 邓琪 杨希

(51) Int. Cl.
H03B 28/00(2006. 01)

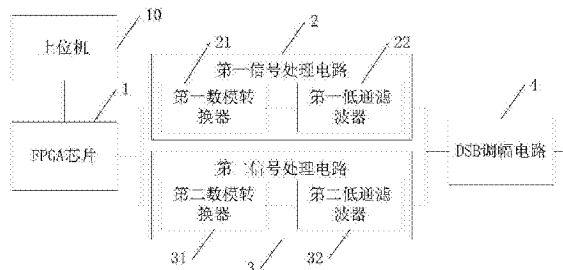
权利要求书2页 说明书5页 附图2页

(54) 实用新型名称

一种窄带频率信号发生器

(57) 摘要

本实用新型涉及一种窄带频率信号发生器，其包括：FPGA 芯片；与所述 FPGA 芯片连接的第一信号处理电路；与所述 FPGA 芯片连接的第二信号处理电路；以及与所述第一信号处理电路以及第二信号处理电路连接的 DSB 调幅电路，其接收所述伪噪声信号以及单频正弦信号，并将该伪噪声信号的频谱搬移至所述单频正弦信号的频率处，以产生频率带宽与所述带宽参数一致、中心频率与所述频率参数一致的窄带频率信号。本实用新型结构简单、操作方便，有效地提高了系统的可靠性与稳定性，并且大大降低了系统成本，同时，本实用新型产生的信号稳定、杂散少；当用于质子加速器慢引出 RFKO 系统时可以有效地保证引出束流的稳定性。



1. 一种窄带频率信号发生器,其特征在于,所述发生器包括:
FPGA芯片,其包括:
第一锁相环,其接收外围输入的带宽参数,并输出第一时钟信号;
与所述第一锁相环连接的预存有伪噪声信号幅度信息的第一ROM,其接收所述第一时钟信号并输出与其对应的伪噪声信号幅度序列值;
第二锁相环,其接收外围输入的频率参数,并输出第二时钟信号;
与所述第二锁相环连接的相位累加器,其接收所述第二时钟信号,并输出对应的单频正弦信号相位序列值;以及
与所述相位累加器连接的预存有正弦信号的相位幅度对应信息的第二ROM,其接收所述单频正弦信号相位序列值,并输出与其对应的单频正弦信号幅度序列值;
与所述FPGA芯片连接的第一信号处理电路,其接收所述伪噪声信号幅度序列值并输出相应的伪噪声信号;
与所述FPGA芯片连接的第二信号处理电路,其接收所述单频正弦信号幅度序列值并输出相应的单频正弦信号;以及
与所述第一信号处理电路以及第二信号处理电路连接的DSB调幅电路,其接收所述伪噪声信号以及单频正弦信号,并将该伪噪声信号的频谱搬移至所述单频正弦信号的频率处,以产生频率带宽与所述带宽参数一致、中心频率与所述频率参数一致的窄带频率信号。
2. 根据权利要求1所述的窄带频率信号发生器,其特征在于,所述第一信号处理电路包括:
与所述第一ROM连接的第一数模转换器,其接收所述伪噪声信号幅度序列值,并将该伪噪声信号幅度序列值转换为第一模拟信号;以及
与所述第一数模转换器连接的第一低通滤波器,其对所述第一模拟信号进行滤波,并输出所述伪噪声信号。
3. 根据权利要求2所述的窄带频率信号发生器,其特征在于,所述第一低通滤波器为两阶RC低通滤波器。
4. 根据权利要求1所述的窄带频率信号发生器,其特征在于,所述第二信号处理电路包括:
与所述第二ROM连接的第二数模转换器,其接收所述单频正弦信号幅度序列值,并将该单频正弦信号幅度序列值转换为第二模拟信号;以及
与所述第二数模转换器连接的第二低通滤波器,其对所述第二模拟信号进行滤波,并输出所述单频正弦信号。
5. 根据权利要求4所述的窄带频率信号发生器,其特征在于,所述第二低通滤波器为两阶LC低通滤波器。
6. 根据权利要求1、2或4所述的窄带频率信号发生器,其特征在于,所述DSB调幅电路包括:
变压器,其初级线圈两端接收所述单频正弦信号,其次级线圈两端分别连接至第一二极管的正极以及第二二极管的负极,且该次级线圈中心抽头并分别接收所述伪噪声信号以及通过第一电容接地;
并联在所述第一二极管两端的第二电容;

并联在所述第二二极管两端的第三电容；
连接在所述第一二极管的负极以及第二二极管的正极之间的第一电阻；以及
串联在所述第一二极管的负极以及第二二极管的正极之间的第二电阻和第三电阻，该第二电阻和第三电阻的相连端连接至所述第一电阻，并输出所述窄带频率信号。

一种窄带频率信号发生器

技术领域

[0001] 本实用新型涉及一种窄带频率信号的发生装置,尤其涉及一种适用于医用加速器慢引出RFKO(RF-knockout,高频剔除)系统中的窄带频率信号发生器。

背景技术

[0002] 质子束在人体内的能量呈现Bragg峰特性,这使得在各种放射治疗癌症的方法中质子束治疗相较于常规的治疗方法有其独特的优势。近几年来,随着加速器技术的发展,用于治疗肿瘤的质子加速器得到了迅速的发展。质子加速器的束流引出方案多采用共振慢引出的方式,这种引出方案具有引出效率高,引出束流品质好的优点。

[0003] 共振慢引出的原理是调节束流参数使其处于临界值,然后通过外加横向RFKO电场激励干扰使部分粒子进入不稳定区从而被引出。RFKO慢引出的重要优点是引出过程质子加速器的磁铁聚焦结构参数不需要改变。

[0004] 外加的横向激励干扰是通过外加激励信号实现的。激励信号是一定带宽特定中心频率的窄带信号,它可以通过对特定带宽内的噪声信号进行频谱搬移实现。考虑到噪声信号中包含了较多的频谱成分,因此可以在噪声信号的基础上对其进行处理得到所需要的窄带频率信号。在现有技术中,对于激励信号的生成通常可以采用外置DDS芯片实现(例如作者K.Mizushima,S.Sato,T.Shirai,T.Furukawa的文献“Development of beam current control system in RF-knockout slow extraction”(Nuclear Instruments and Methods in Physics Research B),作者童金的文献“基于FPGA和DDS的质子同步加速器共振慢引出信号源研制”)。这种方式是一种直接信号生成方式,且生成线性扫频正弦信号。这种方式虽然实现方便,但是这种方式生成的正弦信号频谱规则且较纯净,而由加速器物理设计可知,窄带内频谱成分多且无规律的干扰能更好的提高引出效率,因此,采用这种方式正弦信号频谱使得引出效率较低。而且,线性扫频方案中当需要改变输出信号的参数时需要通过SPI总线通信改变DDS的控制寄存器内容,因此受SPI通信速率的影响,这种方式无法做到输出信号参数改变的实时快速响应。

实用新型内容

[0005] 为了解决上述现有技术存在的问题,本实用新型旨在提供一种窄带频率信号发生器,以为医用加速器慢引出系统提供可实施更新参数的窄带频率信号,并且提高引出效率。

[0006] 本实用新型所述的一种窄带频率信号发生器,其包括:

[0007] FPGA芯片,其包括:

[0008] 第一锁相环,其接收外围输入的带宽参数,并输出第一时钟信号;

[0009] 与所述第一锁相环连接的预存有伪噪声信号幅度信息的第一ROM,其接收所述第一时钟信号并输出与其对应的伪噪声信号幅度序列值;

[0010] 第二锁相环,其接收外围输入的频率参数,并输出第二时钟信号;

[0011] 与所述第二锁相环连接的相位累加器,其接收所述第二时钟信号,并输出对应的

单频正弦信号相位序列值;以及

[0012] 与上述相位累加器连接的预存有正弦信号的相位幅度对应信息的第二ROM,其接收所述单频正弦信号相位序列值,并输出与其对应的单频正弦信号幅度序列值;

[0013] 与上述FPGA芯片连接的第一信号处理电路,其接收所述伪噪声信号幅度序列值并输出相应的伪噪声信号;

[0014] 与上述FPGA芯片连接的第二信号处理电路,其接收所述单频正弦信号幅度序列值并输出相应的单频正弦信号;以及

[0015] 与上述第一信号处理电路以及第二信号处理电路连接的DSB调幅电路,其接收所述伪噪声信号以及单频正弦信号,并将该伪噪声信号的频谱搬移至所述单频正弦信号的频率处,以产生频率带宽与所述带宽参数一致、中心频率与所述频率参数一致的窄带频率信号。

[0016] 在上述的窄带频率信号发生器中,所述第一信号处理电路包括:

[0017] 与上述第一ROM连接的第一数模转换器,其接收所述伪噪声信号幅度序列值,并将该伪噪声信号幅度序列值转换为第一模拟信号;以及

[0018] 与上述第一数模转换器连接的第一低通滤波器,其对上述第一模拟信号进行滤波,并输出所述伪噪声信号。

[0019] 在上述的窄带频率信号发生器中,所述第一低通滤波器为两阶RC低通滤波器。

[0020] 在上述的窄带频率信号发生器中,所述第二信号处理电路包括:

[0021] 与上述第二ROM连接的第二数模转换器,其接收所述单频正弦信号幅度序列值,并将该单频正弦信号幅度序列值转换为第二模拟信号;以及

[0022] 与上述第二数模转换器连接的第二低通滤波器,其对上述第二模拟信号进行滤波,并输出所述单频正弦信号。

[0023] 在上述的窄带频率信号发生器中,所述第二低通滤波器为两阶LC低通滤波器。

[0024] 在上述的窄带频率信号发生器中,所述DSB调幅电路包括:

[0025] 变压器,其初级线圈两端接收所述单频正弦信号,其次级线圈两端分别连接至第一二极管的正极以及第二二极管的负极,且该次级线圈中心抽头并分别接收所述伪噪声信号以及通过第一电容接地;

[0026] 并联在上述第一二极管两端的第二电容;

[0027] 并联在上述第二二极管两端的第三电容;

[0028] 连接在上述第一二极管的负极以及第二二极管的正极之间的第一电阻;以及

[0029] 串联在上述第一二极管的负极以及第二二极管的正极之间的第二电阻和第三电阻,该第二电阻和第三电阻的相连端连接至上述第一电阻,并输出所述窄带频率信号。

[0030] 由于采用了上述的技术解决方案,本实用新型采用了基于噪声与幅度调制的原理,通过在一块FPGA芯片中集成传统DDS芯片的核心部件,即相位累加器以及ROM(只读存储器),并配合用于在芯片内部产生时钟信号的锁相环,从而获得伪噪声信号幅度序列值以及单频正弦信号幅度序列值,然后通过外置的两路信号处理电路,分别对上述幅度序列值进行数模转换以及滤波处理,以获得伪噪声信号以及单频正弦信号,最后以伪噪声信号为调制信号,单频正弦信号为载波信号,通过DSB调幅电路实现频谱搬移,从而获得所需的窄带频率信号,通过这种窄带内频谱成分类似噪声频谱的信号来提高引出效率。本实用新型不

仅有效提高了时钟频率,加快了系统响应速度,并且如果要修改最终输出的窄带频率信号的参数只需要一个时钟周期即可,由此即可可靠性高且实时地更新输出信号的参数。本实用新型结构简单、操作方便,有效地提高了系统的可靠性与稳定性,并且大大降低了系统成本,同时,本实用新型产生的信号稳定、杂散少;当用于质子加速器慢引出RFKO系统时可以有效地保证引出束流的稳定性。

附图说明

[0031] 图1是本实用新型一种窄带频率信号发生器的结构框图;

[0032] 图2是本实用新型中FPGA芯片的内部结构框图;

[0033] 图3是本实用新型中DSB调幅电路的结构示意图;

[0034] 图4是本实用新型中伪噪声信号、单频正弦信号以及经DSB调幅电路频谱搬移后获得的窄带频率信号的波形示意图。

具体实施方式

[0035] 下面结合附图,给出本实用新型的较佳实施例,并予以详细描述。

[0036] 如图1所示,本实用新型,即一种窄带频率信号发生器,其包括:FPGA芯片1、分别与FPGA芯片1连接的第一信号处理电路2和第二信号处理电路3,以及同时与第一信号处理电路2和第二信号处理电路3连接的DSB调幅电路4(即,抑制载波的双边带调幅电路)。

[0037] 具体来说,如图2所示,FPGA芯片1(在本实施例中,采用FPGA Cyclone IV芯片)包括:

[0038] 第一锁相环11(PLL 1),其接收外围输入(例如通过上位机10输入)的带宽参数,并输出第一时钟信号;

[0039] 与第一锁相环11连接的预存有伪噪声信号幅度信息的第一ROM 12,其接收第一时钟信号并输出与其对应的伪噪声信号幅度序列值;

[0040] 第二锁相环13(PLL 2),其接收外围输入(例如通过上位机10输入)的频率参数,并输出第二时钟信号;

[0041] 与第二锁相环13连接的相位累加器14,其接收第二时钟信号,并输出对应的单频正弦信号相位序列值;以及

[0042] 与相位累加器14连接的预存有正弦信号的相位幅度对应信息的第二ROM 15,其接收单频正弦信号相位序列值,并输出与其对应的单频正弦信号幅度序列值。

[0043] 如图1所示,第一信号处理电路2具体包括:

[0044] 与第一ROM 12连接的第一数模转换器21,其接收伪噪声信号幅度序列值,并将该伪噪声信号幅度序列值转换为第一模拟信号;以及

[0045] 与第一数模转换器21连接的第一低通滤波器22,其对第一模拟信号进行滤波(其实现了第一数模转换器21输出的平滑处理,主要滤除掉了第一数模转换器21工作时钟对输出信号的干扰),并输出伪噪声信号;在本实施例中,第一低通滤波器22为两阶RC低通滤波器,截止频率设为50KHz。

[0046] 如图1所示,第二信号处理电路3具体包括:

[0047] 与第二ROM 15连接的第二数模转换器31,其接收单频正弦信号幅度序列值,并将

该单频正弦信号幅度序列值转换为第二模拟信号;以及

[0048] 与第二数模转换器31连接的第二低通滤波器32,其对第二模拟信号进行滤波(其作用与第一低通滤波器22相同),并输出所述单频正弦信号;在本实施例中,第二低通滤波器32为两阶LC低通滤波器,截止频率设为15MHz。

[0049] DSB调幅电路4接收伪噪声信号(该伪噪声信号作为调制信号)以及单频正弦信号(该单频正弦信号作为载波信号),并将该伪噪声信号的频谱搬移至所述单频正弦信号的频率处,以产生频率带宽与所述带宽参数一致、中心频率与所述频率参数一致的窄带频率信号;如图3所示,该DSB调幅电路4具体包括:

[0050] 变压器T,其初级线圈两端接收单频正弦信号 U_c ,其次级线圈两端分别连接至第一二极管D1的正极以及第二二极管D2的负极,且该次级线圈中心抽头并分别接收伪噪声信号 U_Ω 以及通过第一电容C1接地;

[0051] 并联在第一二极管D1两端的第二电容C2;

[0052] 并联在第二二极管D2两端的第三电容C3;

[0053] 连接在第一二极管D1的负极以及第二二极管D2的正极之间的第一电阻R1;以及

[0054] 串联在第一二极管D1的负极以及第二二极管D2的正极之间的第二电阻R2和第三电阻R3,该第二电阻R2和第三电阻R3的相连端连接至第一电阻R1,并输出窄带频率信号 U_o ;

[0055] 其中,第一电容C1对单频正弦信号 U_c 近似短路,对伪噪声信号 U_Ω 近似开路;第二、第三电容C2、C3用于平衡第一、第二二极管D1、D2反向工作时的结电容;通过使用上述双对称二极管及中心抽头高频接地的变压器接法实现了单频正弦信号 U_c (即,载波信号)在输出端(即,产生窄带频率信号 U_o 的一端)的抑制。

[0056] 本实用新型中第一ROM 12中预存的伪噪声信号幅度信息可通过以下方式获得:首先通过MATLAB软件实现噪声信号发生器,其产生的噪声经过高阶低通滤波器滤波后输出,然后对该输出的经滤波的噪声信号进行幅度采样后存储在第一ROM 12中。本实用新型中第二ROM 15中预存的正弦信号的相位幅度对应信息也可通过MATLAB/C语言编程实现,其可以表示为一个周期正弦信号的相位幅度对应表格。

[0057] 根据质子加速器物理设计计算可知,质子加速器慢引出系统所需激励信号的中心频率的范围为1-10MHz,所需激励信号的频率带宽约为40KHz。以此为例,本实用新型的工作原理如下:

[0058] 上位机10根据质子加速器的上述运行参数计算出慢引出所需要的横向扰动的参数,即本实用新型输出的窄带频率信号的参数(例如,频率带宽BW为40KHz,中心频率 f_c 为2MHz),换句话说,也就是:在获得第一ROM 12中预存的伪噪声信号幅度信息时采用的高阶低通滤波器的截止频率,以及输入到DSB调幅电路4的载波信号(单频正弦信号)的频率。根据上述参数,可预先获得伪噪声信号幅度信息(根据原理可知,当频率带宽BW为40KHz时,上述高阶低通滤波器的截止频率为 $BW/2$,即20KHz,因此,只要在获得伪噪声信号幅度信息时,将高阶低通滤波器的截止频率设置为20KHz,即可获得与频率带宽BW为40KHz的伪噪声信号对应的幅度信息),然后通过上位机10输入带宽参数(40KHz),即可获得对应的频率带宽为40KHz的伪噪声信号(其有效频谱成分在20KHz以下)。同理,上位机10输入频率参数(2MHz),即可获得中心频率为2MHz的单频正弦信号。最后,通过图4所示的DSB频谱搬移原理可知,伪噪声信号和单频正弦信号经过DSB调幅电路之后就得到了频率带宽为40KHz、中心频率为

2MHz的窄带频率信号。

[0059] 通常情况下,质子加速器慢引出所需要的激励信号频谱成分的带宽是比较固定的,而中心频率则要经常变化。因此,上位机10只需要改变频率参数,并传送给FPGA芯片,就可以实时改变输出的窄带频率信号的参数。

[0060] 以上所述的,仅为本实用新型的较佳实施例,并非用以限定本实用新型的范围,本实用新型的上述实施例还可以做出各种变化。即凡是依据本实用新型申请的权利要求书及说明书内容所作的简单、等效变化与修饰,皆落入本实用新型专利的权利要求保护范围。本实用新型未详尽描述的均为常规技术内容。

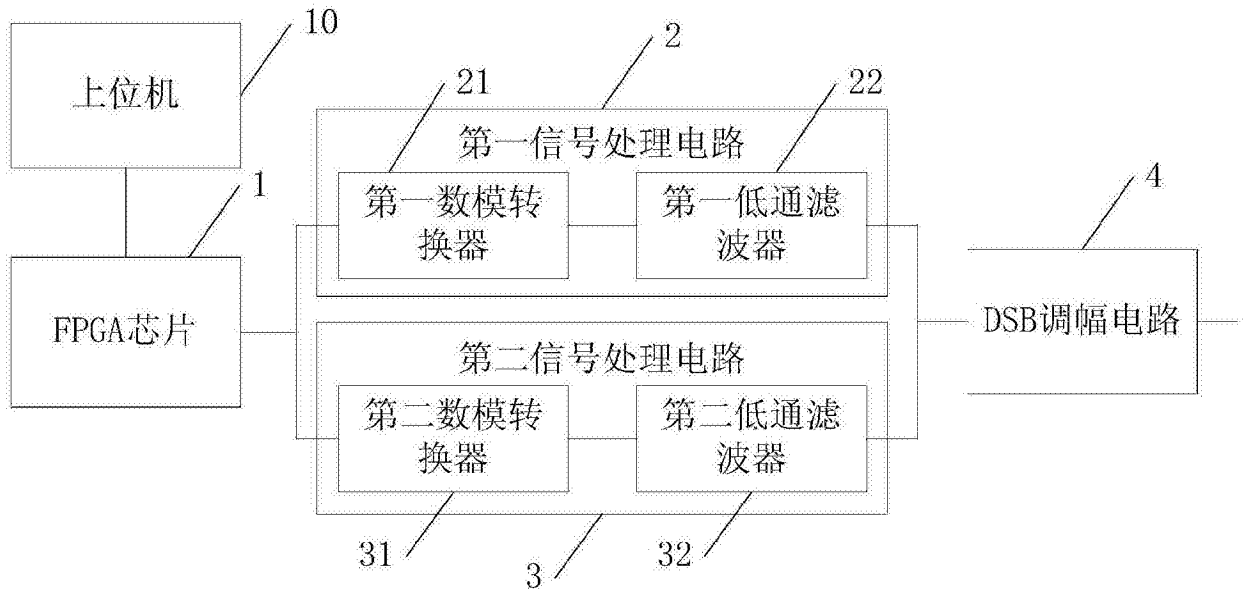


图1

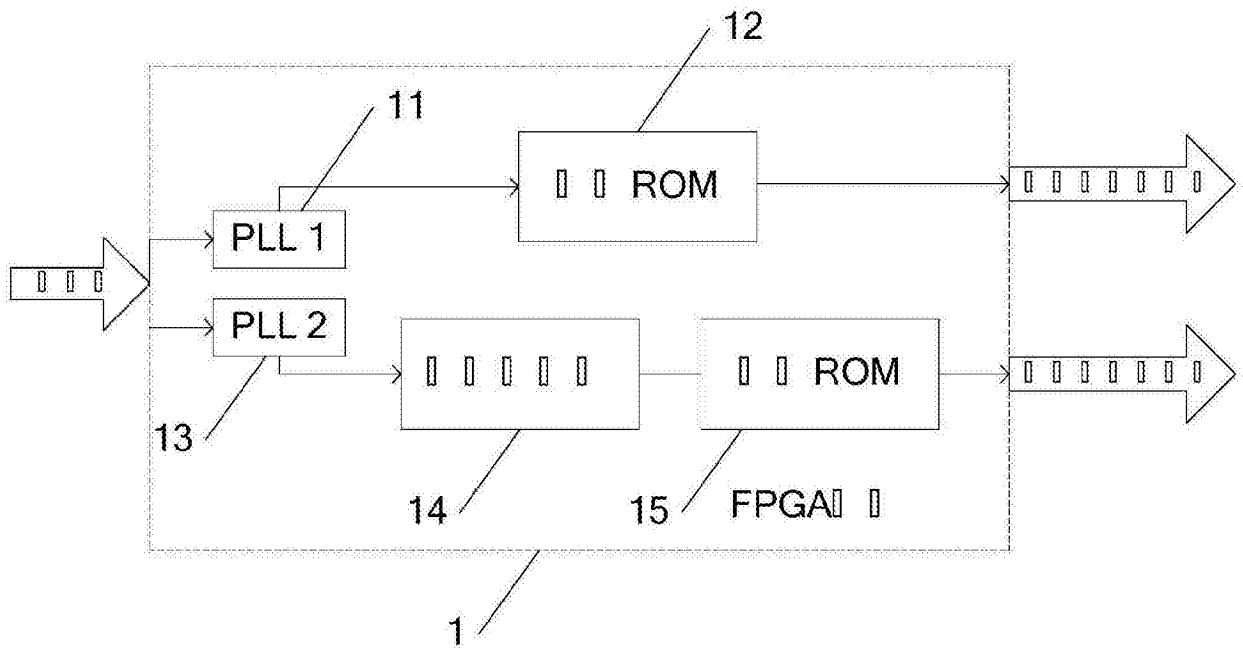


图2

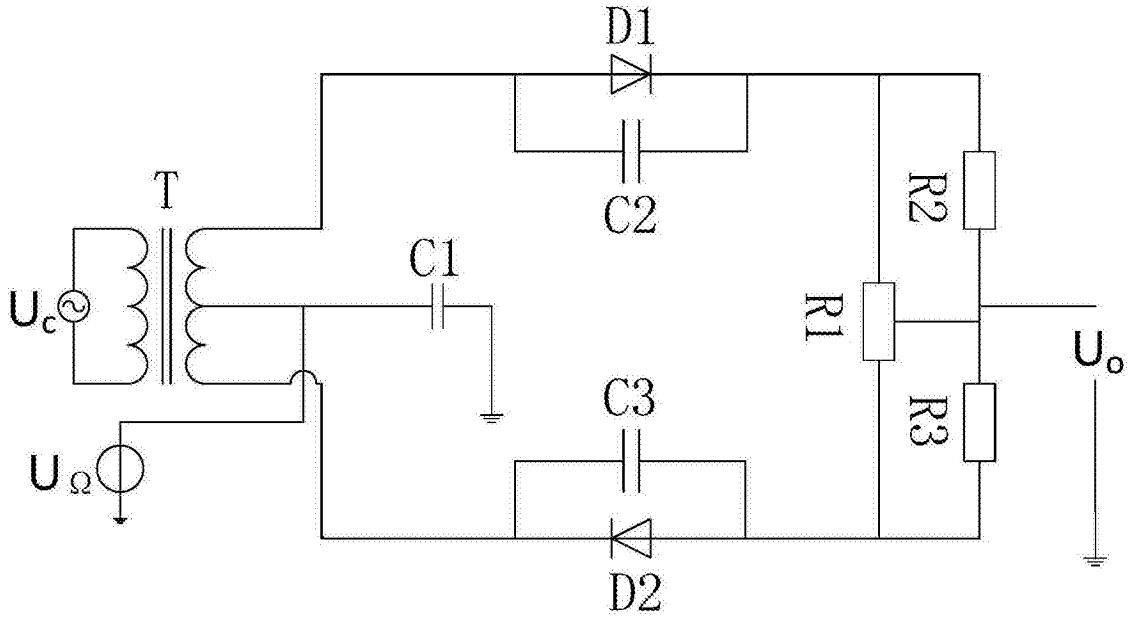


图3

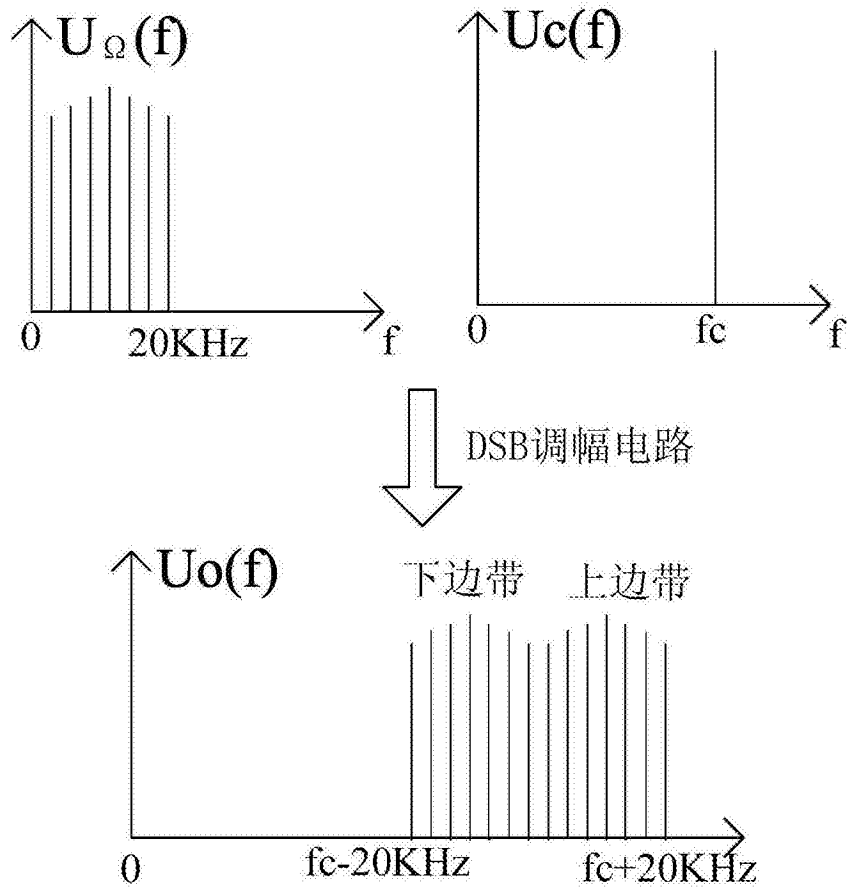


图4