

新特器件应用

# 12 位 4 通道并行/ 串行模/ 数转换芯片 ADS7824 的原理及应用

梁亚林, 张永立, 沈天健

(中科院上海原子核研究所, 上海 201800)

## Principle and Application of 12 - Bit 4 - Channel Parallel & Serial A/D Converter ADS7824

LIANG Ya-lin, ZHANG Yong-li, SHEN Tian-jian

**摘要:** ADS7824 是美国 BB 公司生产的 12 位开关电容式逐次逼近型模/ 数转换芯片。它具有与 CPU 的并行/ 串行接口, 功耗低, 片上资源丰富, 接口灵活等特点。文中详细介绍了 ADS7824 的工作原理、引脚定义、工作时序及在并行/ 串行模式下与 8051 单片机的接口电路及部分读写程序。

**关键词:** 模数转换器; CDAC; 接口电路; ADS7824

**分类号:** TN79+.2

**文献标识码:** B

**文章编号:** 1006 - 6977(2003)09 - 0052 - 03

### 1 概述

ADS7824 是美国 BB 公司推出的一种低功耗 4 通道 12 位并行/ 串行模数转换芯片。该芯片是一种开关电容式逐次逼近模数转换芯片, 其内部自带采样保持器 (SHA)、时钟源、+2.5V 参考电压及与微处理器的并行/ 串行接口。同时, 它还可以在连续转换模式下对外部 4 通道模拟输入信号进行顺序转换。与其它 ADC 相比, ADS7824 具有非常低的功耗和丰富的片上资源, 且内部结构紧凑, 集成度高, 工作性能好, 可在 -40~80 范围内正常工作, 非常适用于仪器仪表及便携式探测器使用。

ADS7824 的基本特点和主要参数如下:

内部带有采样保持器 (SHA), 采用 12 位逐次逼近 (SAR) 模/ 数转换方式。

采样频率为 40kHz, 最大采样与转换时间为 25μs。

数据可并行或串行输出, 并带有三态输出缓冲电路, 可直接与各种微处理器相连。

积分非线性 (INL) 最大为 ±0.5LSB, 无漏码的差分非线性 (DNL) 最大为 12 位。

具有连续转换模式。

转换无失码。

典型信噪比 (SNR) 为 73dB。

孔径延迟 (aperture delay) 时间为 40ns。

内带 +2.5V 基准电压, 也可选用外部 +2.5V 基准电压。

差分电压输入范围为 ±10V, 同时带有四通多路选择器。

采用单 +5V 电源供电。正常工作情况下的功耗为 50 mW; 关闭模式下的功耗仅为 50μW。

采用 28 脚 PDIP 或 SOIC 封装形式。

### 2 内部结构及引脚说明

#### 2.1 结构原理

图 1 所示为 ADS7824 的内部结构框图, 它采用的是具有固有采样/ 保持功能的电容式 DAC (CDAC)

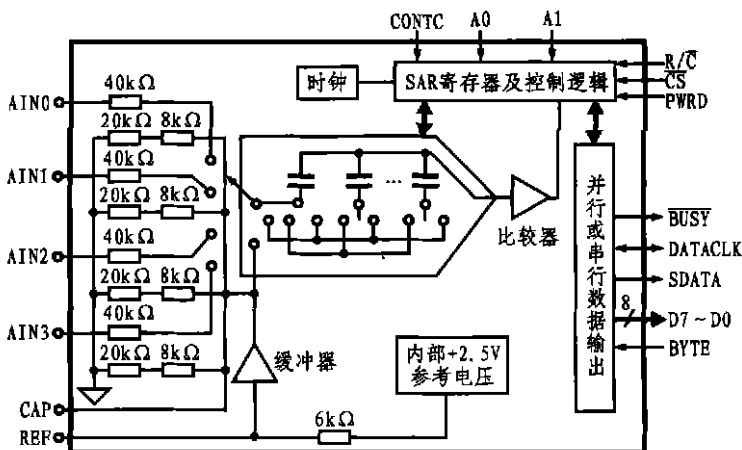


图 1 ADS7824 的内部结构框图

转换方式, CDAC 是根据电荷再分配的原理产生模拟输出电压的。它包括一系列有  $N$  个按照二进制加权排列的电容, 在采样阶段, 阵列电容的公共端(所有电容连接的公共点)接地, 所有自由端连接到输入信号; 采样后, 公共端与地断开, 自由端与输入信号断开, 这样可在电容阵列上有效的获得与输入电压成正比的电荷量; 然后, 所有电容的自由端接地以驱动公共端至一个负压  $-V_N$ 。作为二进制搜索算法的第一步, MSB 电容的自由端与地断开, 并连接到  $V_{REF}$  可驱动公共端电压向正端移动  $V_{REF}/2$ , 若此时该电压小于地电压, 比较器输出为逻辑 1, 则预示 MSB 大于  $V_{REF}/2$ , 否则, 比较器输出为逻辑 0, 此时预示着 MSB 小于  $V_{REF}/2$ , 接下来, 下一个最大的电容与地断开, 并连接到  $V_{REF}$ , 通过比较器确定下一位的数值, 如此循环直到判定出全部数字位。

## 2.2 引脚说明

ADS7824 具有 28 个引脚, 各引脚定义如下:

AGND1 (1), AGND2 (8): 模拟地。

AIN0 ~ AIN3 (2, 3, 4, 5): 模拟信号输入通道 0 ~ 3, 其差分输入电压范围为  $\pm 10V$ 。

CAP (6): 内部参考电压缓冲输出, 通过  $2.2\mu F$  钽电容接地, 可为 CDAC 在整个转换周期内提供适宜的开关电流。

REF (7): 参考电压输入/ 输出端。

D7 ~ D5 (9, 10, 11): 当 PAR/ SER 端为高时, 为 8 位并行数据高三位输出, 为低时呈高阻态。

D4 (12): 当 PAR/ SER 端为高时, 该端输出 8 位并行数据 bit 4, PAR/ SER 端为低时, 该脚为串行时钟选择端。具体选择方式是: 当该端输入高电平时, 串行转换采用外部串行时钟; 为低电平时, 串行转换采用内部时钟。

D3 (13): 当 PAR/ SER 端为高时, 该端输出 8 位并行数据 bit 3, PAR/ SER 为低时, 该端输出为同步信号 SYN, 当系统使用多个 ADS7824S 时, 使用该引脚可实现各个芯片数据输出的同步。

DGND (14): 数字地。

D2 (15): 当 PAR/ SER 端为高时, 该端输出 8 位并行数据 bit 2, PAR/ SER 为低时, 为串行时钟信号输出。

D1 (16): 当 PAR/ SER 端为高时, 该端输出为 8 位并行数据 bit 1, PAR/ SER 为低时, 该端为串行数据输出。

D0 (17): 当 PAR/ SER 为高时, 该端输出为 8 位并行数据 bit 0, PAR/ SER 为低时, 该端为串行输出标记端。

A1, A2 (18, 19): 输入信号通道选择端。

PAR/ SER (20): 并行/ 串行输出选择端。

BYTE (21): 字节选择控制端。在读取期间, 若 BYTE 为 0, 则高 8 位有效; 若为 1, 则低 4 位有效。

R/ C (22): 读取/ 转换控制端。

CS (23): 片选端。

BUSY (24): 输出状态端。转换开始时, BUSY 为低电平; 转换完成后, 该端输出为高电平。

CONTC (25): 连续转换模式控制端, CONTC 为 5V 时, ADS7824 工作在连续转换模式, 此时芯片可对 4 个输入通道信号进行连续采集和转换。

PWRD (26): 电源关闭模式端, 高电平有效。关闭模式时, 系统将切断芯片内部模拟和数字电路的电源, 以使芯片处于低功耗状态。

Vs1, Vs2 (27, 28): +5V 电源输入端。

## 3 与 8051 单片机的接口电路

ADS7824 内含三态输出缓冲电路和串行/ 并行输出方式, 且与 CPU 的接口非常灵活。下面分别介绍并行、串行输出方式下, ADS7824 与 8051 单片机的接口方法。

### 3.1 并行输出方式

ADS7824 与 8051 单片机的并行接口电路如图 2 所示。

图中, 单片机采用查询方式通过 P1.0 口不断查询 BUSY 状态, BUSY 为 1 时, 表示 ADS7824 完成一次转换。单片机通常通过两次读取操作来将数据读入, 当  $R/ C = 1, CS = 0, BYTE = 0$  时, 读取高 8 位; 当  $R/ C = 1, CS = 0, BYTE = 1$  时, 读取低 4 位。数据读取完成后, 单片机将 R/ C 和 CS 端置低 40ns ~ 12 $\mu$ s 以启动下一次转换, 此时 BUSY 输出为低电平。图 3 为并行方式下数据转换时序图。图 2 中, 由于 ADS7824 的 CS 端与 8051 的锁存地址 A0 相连, BYTE 与 8031 的锁存地址 A6 相连, R/ C 与 8031 的锁存地址 A7 相连, 因此, 启动 ADS7824 的端口地址为 0XXXXXX0B, 读/ 写 ADS7824 的程序段如下:

```
MOV DPTR, # 0000H
```

```
;送端口地址 0000H 入 DPTR
```

```
MOVX @DPTR, A ;启动 ADS7824
```

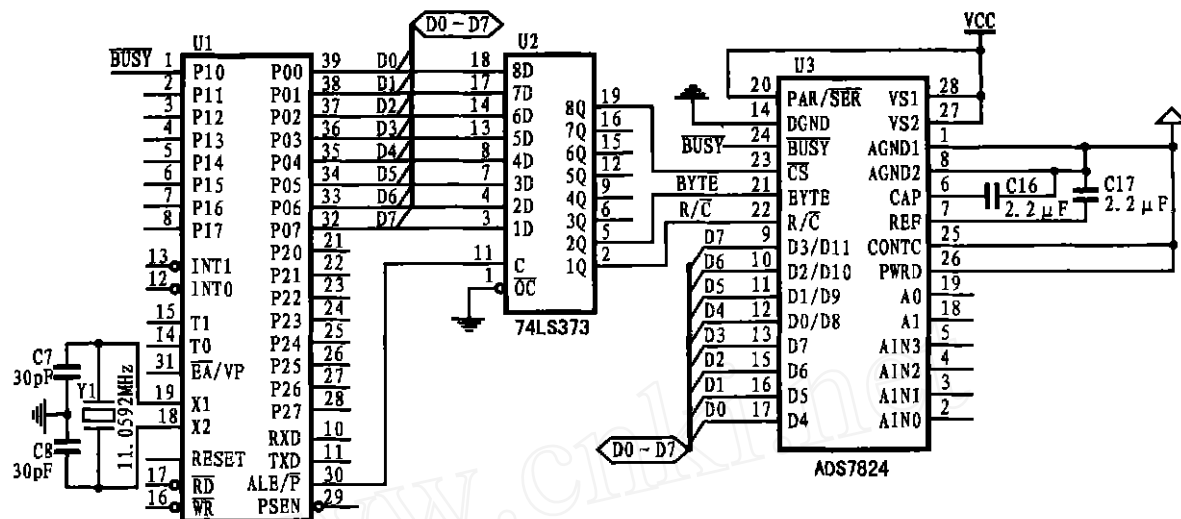


图2 8051与ADS7824的并行接口电路

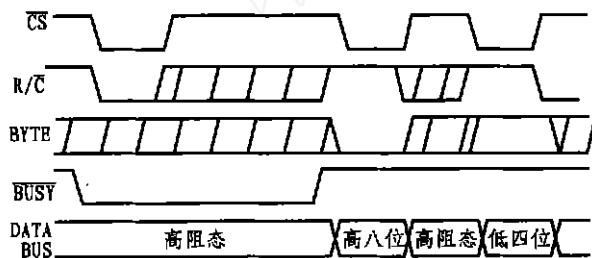


图3 ADS7824并行读/写时序

```

SETB P1.0
LOOP: JB P1.0, $ ;检测 P1.0
MOV DPTR, # 0001H ;读取高 8 位
MOVX A, @DPTR
MOV 33H, A
MOV DPTR, # 0003H ;读取低 4 位
    
```

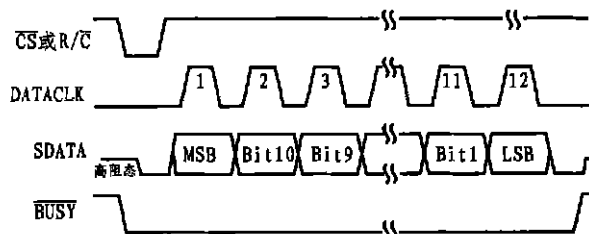


图5 ADS7824的串行工作时序

```

MOV A, @DPTR
ANL A, # 0FH
MOV 32H, A
    
```

### 3.2 串行输出方式

ADS7824与8051的串行接口电路如图4所示。

图中, ADS7824采用外部时钟, 其时钟输入由8051

的串行口TXD提供, 数据输入输出端与串行口RXD相连。由8051的P1口完成转换与读取控制。图5为串行输出模式下ADS7824的时序图。由于单片机串口在方式0(即同步移位寄存器状态下)工作时, 波特率固定

为  $f_{osc}/12$ , 数据由RXD端输入输出且低位在先, 因此必须将读入的12Bit数据逆序排列, 才能得到正确的ADS7824输出。系统的同步移位时钟由TXD端输出。其串口读/写程序如下:

```

MOV SCON, # 11H ;初始化串口
MOV IE, # 10H
SETB P1.2
    
```

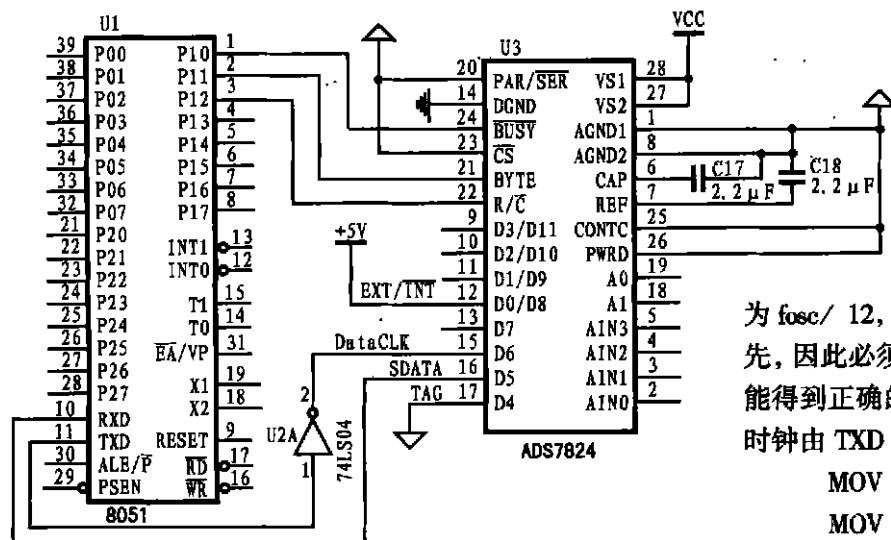


图4 8051与ADS7824的串行接口电路

新特器件应用

## 多模高频 PWM 控制器 UCC39421/2 及其应用

胡大友<sup>1</sup>, 胡乾顺<sup>2</sup>

(1. 湖北省电子产品质检所, 湖北 武汉 430061; 2. 中南财经政法大学, 湖北 武汉 430064)

## Multimode High Frequency PWM Controller UCC39421/2 and Its Application

HU Da-you, HU Qian-shun

**摘要:** UCC39421/2 是高效多模式高频 PWM 控制器。文章简要介绍了 UCC39421/2 的功能特点, 详细论述了 UCC39421/2 的构成原理及引脚功能, 给出了 UCC39421/2 控制器的应用方法及应用电路。

**关键词:** 多模高频; PWM 控制; DC/DC 变换; UCC39421/2

**分类号:** TN79+.2

**文献标识码:** B

**文章编号:** 1006-6977(2003)09-0055-04

## 1 UCC39421/2 的功能特点

UCC39421/2 是一种高效低功率 DC/DC 转换器。它在很宽的工作电源下具有很高的效率, 并提供编程上电复位功能, 该芯片带有独立的低压检测比较器, 同时具有脉冲调制、限流和低电流关断 ( $5\mu$ ) 功能, 可广泛应用于蜂窝电话、寻呼机、PDAs 以及其它手持设备中。

UCC39421/2 具有以下特点:

采用高效升压单端初级电感控制, SEPIC 或回扫 (反向升压) 拓扑结构, 输入电压既可高于也可低于输出电压;

输入电压低 (最小为 1.8V);

能驱动外部 FETs 以获得较大电流;

具有高达 2MHz 的振荡频率;

可同步操作;

具有可编程变频模式, 可优化功率和效率;

具有脉冲调制限流功能;

功耗极低, 睡眠模式下的供电电流为  $150\mu$ A,

关断模式下的供电电流仅为  $5\mu$ A。

## 2 构成原理及引脚功能

## 2.1 构成原理

UCC39421/2 内部由电荷泵电路、PWM 振荡器、导通控制电路、PWM 电路、限流控制电路、低功率模式控制电路、斜率补偿电路、PFM 模式控制电路、误差放大器、电池低电压比较器、复位电路、1.24V 基准源电路以及比较器和逻辑电路等构成, 其内部结构如图 1 所示。

## 2.2 封装及引脚功能

UCC39421/2 采用双列 20/16 引脚封装, 其引脚排列如图 2 所示。各引脚功能如下:

Loop: MOV R0, # 08H

CPL P1.2 ;开启转换

JB P1.0, \$ ;查询

CPL P1.2 ;读取高八位

Read: JB RI, \$

CLR RI

MOV A, SBUF

Invert0: RLC A ;读入数据倒置

DJNZ R0, Invert0

MOV 32H, A

MOV R0, # 08H

SETB P1.1 ;读取低四位

JB RI, \$

MOV A, SBUF

Invert1: RLC A ;读入数据倒置

DJNZ R0, Invert1

ANL A, # FFH

MOV 33H, A

## 参考文献

[1] ADS7824 Data Sheet. Texas Instruments.

[2] 何立民. MCS-51 系列单片机应用系统设计[M].

北京:北京航空航天大学出版社, 1990.

收稿日期: 2003-03-06

咨询编号: 030919