

# 事件系统在 SSRF 主定时系统中的应用

赵黎颖 殷重先 刘德康

(中国科学院上海应用物理研究所 上海 201800)

**摘要** 介绍一种全新概念的定时系统——事件系统在 SSRF 主定时系统中的应用。该事件系统以广播的形式将定时信息全局地分布到所有加速器部件,能完成所有 SSRF 主定时系统要求,具有网络结构清晰、简单、性价比高、技术先进、隔离性好、扩展和升级容易等优点。本文侧重介绍如何用事件系统的内部功能实现 SSRF 主定时的基本任务。测试结果表明主电压与 500 MHz RF 时钟之间的同步晃动为 31.44 ps。

**关键词** 事件系统, 事件发生器, 事件接收器, 转换板, 多模光纤

**中图分类号** TP273<sup>+</sup>.5

上海同步辐射光源(SSRF)的主定时系统需要产生一系列时序信号提供给电子枪、速调管、增强器的注入冲击磁铁电源、引出冲击磁铁电源、储存环注入冲击磁铁电源和其它需要同步的设备的触发同步信号。它用来保证从电子枪引出的束团经过直线加速器,增强器,重复注入到储存环指定的高频捕获区内,使其束流流强达到预定的耀度。主定时系统所有定时参考信号的时钟源都来自于 RF 站的 499.65 MHz。国内目前只有 BEPC 的成功运行经验,采用的是传统的基带传输技术,而且已是十几年前的技术。国外近几年逐渐发展成一种趋势,即基于 APS 事件系统改造而成的事件分布系统。典型的成功运行范例是 SLS,正在建造中的 DIAMOND 也采取了这种技术。现在结合我们的实际情况,从物理

设计要求出发,利用事件系统设计出适合于 SSRF 机器的定时系统。

## 1 事件系统工作原理

事件系统工作原理如图 1 所示。1—50 Hz 的注入频率和经过分频的 500 MHz RF 信号(通常分频为同步旋转频率)在事件发生器内同步,并以此作为注入的 RF bucket 选择。

所谓事件系统<sup>[1]</sup>,也就是将定时触发信号以事件码的形式产生和分布到加速器装置的各个物理设备。在主定时站里,事件发生器响应多个事件源的触发,产生各种事件码,Gigabit Ethernet 收发器对各事件码进行编码,产生分时多路复用形式的一个

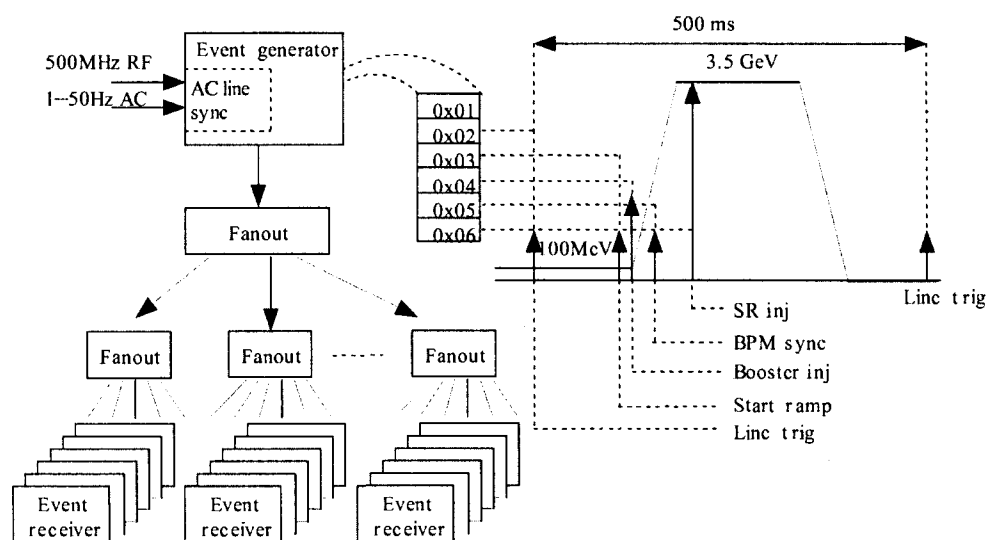


图 1 事件定时系统原理图

Fig.1 Schematic block diagram of event system

事件流。事件流经光纤扇出树扇出后,再经过相等长度的单根 Gigabit Ethernet 多模光纤传输到所有的事件接收器。事件接收器的 Gigabit Ethernet 收发器将事件流解码,并将其转换成一个事件码和一个分布总线信号。事件码和事件接收器的 mapping RAMs 数据存储内容决定了定时信号的输出。大多数输出信号可以直接触发物理设备。另外,分布总线信号可以传输时钟信号,这一点对 SSRF 主定时系统很重要。

## 2 事件系统硬件功能设计

利用事件发生器和接收器构建了一套基本的事件定时系统。

### 2.1 事件发生器

按照 SSRF 的机器参数设计的事件发生器功能框图<sup>[1]</sup>如图 2 所示。

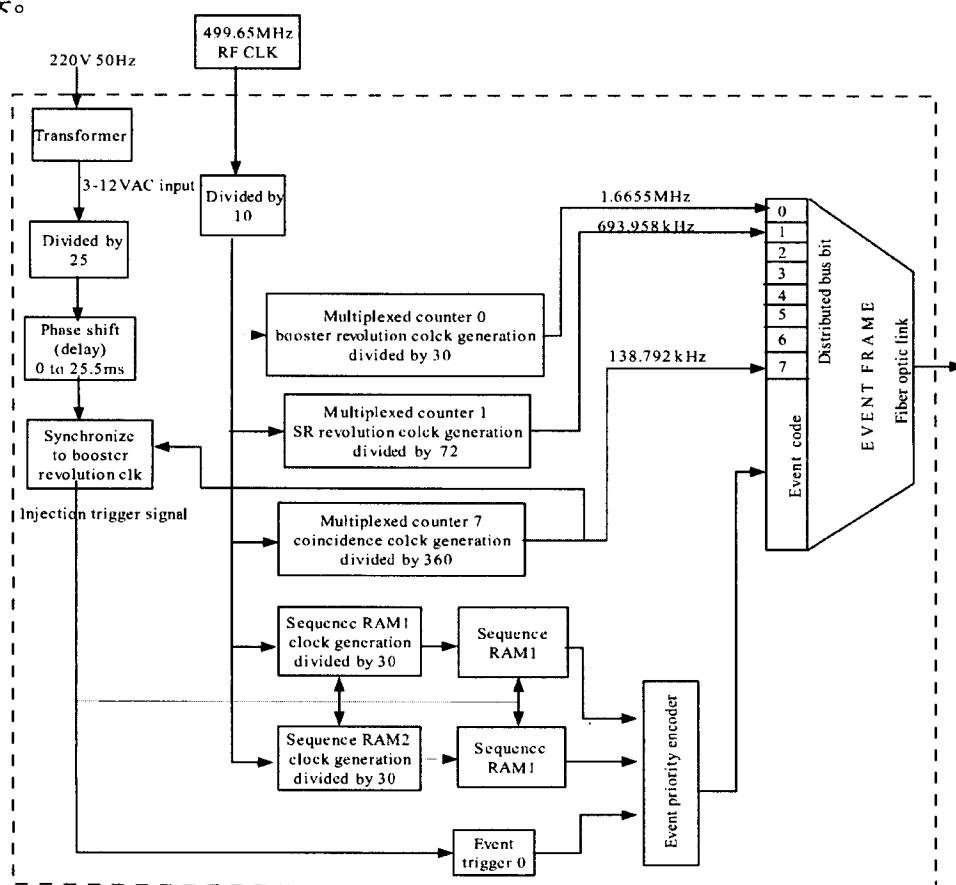


图 2 事件发生器功能图

Fig.2 Function diagram of event generator

3—12 V 的 50 Hz AC 被可编程除法器 25 分频,即得 2 Hz 的注入频率。499.65 MHz RF 信号首先被可编程除法器 10 分频,得到 49.965 MHz 的事件钟,该事件钟再分别被多功能计数器 0、1 和 7 进行 30、72 和 360 分频,即可分别得到 1.6655 MHz 的增强器回旋时钟、储存环回旋时钟 693.958 kHz 和同步回旋时钟 138.792 kHz。

注入频率和同步回旋时钟经过内部同步逻辑处理后,输出和交流电网同步的注入触发信号,来触发注入顺序事件存储器(Sequence RAM)。事件发生器内部有两个 512K 顺序事件存储器,当一个处于工作状态时,另外一个可以处于修改状态,这样通过 VME 软件获取方式就可以在线修改注入定时

事件码。注入顺序存储器以增强器回旋频率作为发送顺序事件码的时钟,全部事件码发送完的时间要小于 2 Hz 同步注入触发信号的周期。

事件发生器也可以接收外部触发事件、VME 软事件和级联的上级事件发生器事件。所有事件码首先在优先级编码器中编码,然后再与分布总线上的时钟信号以 8B10B 规则进行编码,以 Gbits/s 的事件流通过多模光纤传输到事件接收器(实验室中只建立了一套基本系统,因此没有使用扇出插件)。

### 2.2 事件接收器

按照 SSRF 的机器参数设计的事件接收器功能框图<sup>[1]</sup>如图 3 所示。

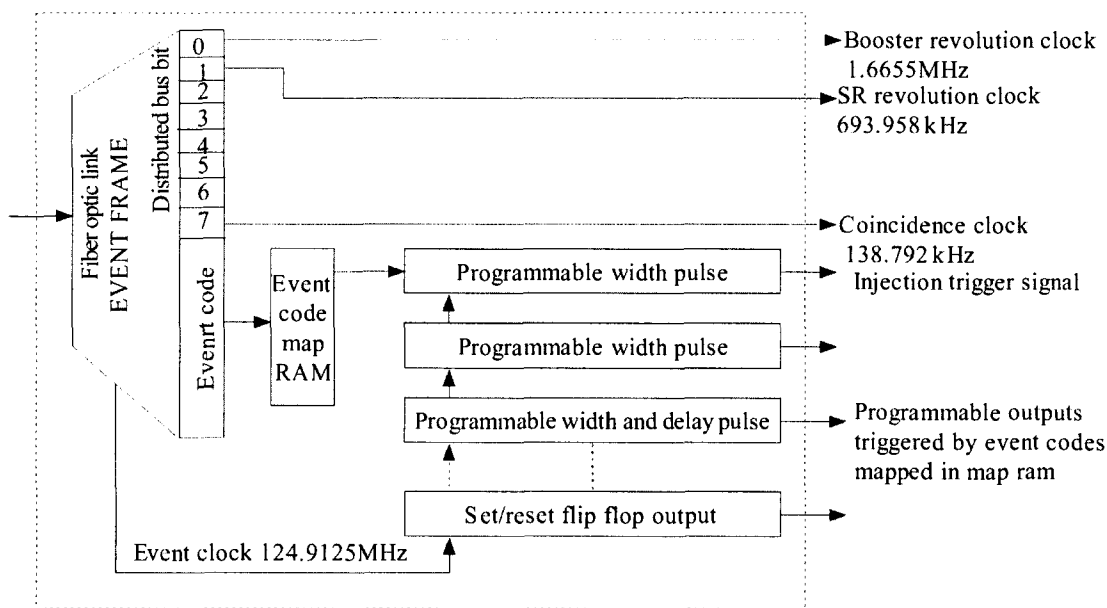


图 3 事件接收器功能图

Fig.3 Function diagram of event receiver

串行事件流在事件接收器中被收发器解码并转换成 100 Mbytes/s 的 8 位并行数据字节，该数据流进一步被分解为两个 50 Mbytes/s 的 8 位并行数据字节，一个是事件码，另一个分布总线时钟信号。

所接收到的事件码直接输入到 2 个 16bit 256 字 mapping RAMs 数据存储器的地址线，被始能的 mapping RAM 数据存储器的内容决定了事件接收器采用哪种形式输出。事件接收器有四种方式输出：14 个可编程宽度脉冲输出；7 个 set/reset 电平输出；4 个可编程延迟脉宽输出；7 个触发事件输出。

### 2.3 转换板

因为事件接收器的输出信号在 VME 总线的 P2 口，所以只能在其后背板即转换板上引出。

## 3 软件工作平台

事件系统的软件工作环境是：vxWorks5.3 + EPICS base 3.13.9。

vxWorks 核和可执行应用程序代码运行在 MVME2302 目标机上（又称作 IOC）；EPICS base<sup>[2]</sup> 和硬件驱动程序<sup>[3]</sup> 运行在装有 Linux 操作系统的服务器上。服务器提供应用程序的编辑，编译和调试。另有 PC 机作为终端监视程序的下载，设置实时数据库参数等。

当硬件驱动程序在 EPICS 环境下编译成功后，在实时数据库中设置事件发生器和接收器的输入输出功能。然后就可以将这些代码和 vxWorks 内核下

载到 IOC 中，在 IOC 初始化成功以后，系统就处于运行状态。这时就可以在转换板的输出端将信号引出到示波器上进行观察测试。

## 4 实验测试环境

事件发生器 EVG-110plus 和事件接收器 EVR-100 位于同一个 VME 标准机箱内。转换板 ERN-200 作为背板插在事件接收器的后面。事件发生器需要两个外部信号，一个是 3—12 V、50 Hz 的交流信号，由 InSTEK GFG-8219 信号源产生，另一个是 <10 dbm 的 500 MHz RF 信号，由 Agilent E4400B 信号源产生。分功器将信号源输出的 500 MHz RF 信号分成两路，一路送给事件发生器，另一路送到示波器，用于测量事件接收器的输出脉冲信号相对于 500 MHz RF 源之间的晃动。实验测试硬件连接图见图 4。

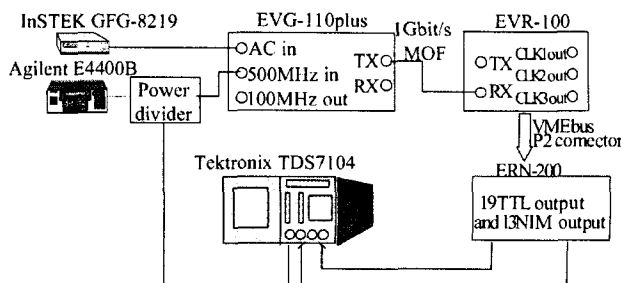


图 4 事件系统硬件测试连接图

Fig.4 Connection among event system hardware for test

## 5 实验测试内容

### 5.1 测试延时基准脉冲

定时系统的延时基准脉冲是由主电压同步逻辑触发外触发事件码 event0 产生的。实验用多功能计数器输出触发作为外部信号输入，当计数器输出的上升沿被检测到时，存储在事件码寄存器中的事件码就立即被发送出去。该触发事件码 event0 在 EVR 端被解码还原后，就输出了延时基准脉冲。Sequence RAM 中输出的所有注入定时脉冲都以此脉冲作为延时基准。

实验以 50 Hz 5VAC 主电压与同步旋转频率 (500 MHz/3600) 的同步信号触发事件 event0，通过测试事件码 event0 输出脉冲和 500 MHz 的相对晃动，得出主电压与同步旋转频率的相对晃动。测试结果见图 5，由示波器统计分析功能得出，延时基准脉冲与 500 MHz RF 时钟同步晃动为 31.44 ps，即主电压与 500 MHz RF 时钟同步晃动测试为 31.44 ps。该晃动包括了事件发生器、事件接收器和转换板三个插件电子学线路引起的晃动及示波器自身触发系统引起的晃动。

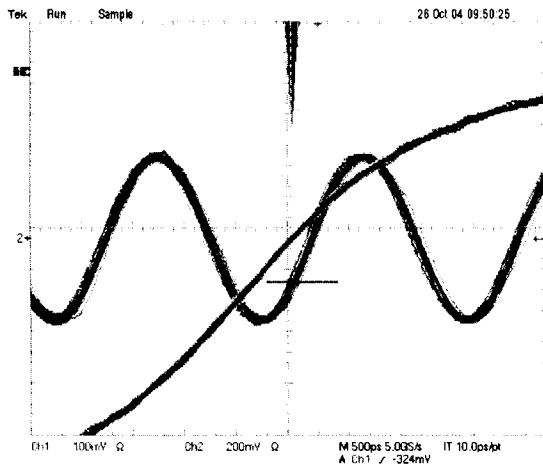


图 5 定时脉冲与 500MHz RF 时钟同步晃动测试

Fig.5 Jitter test between timing pulse and 500MHz RF clock

### 5.2 测试注入定时脉冲系列

定时系统注入定时脉冲系列由主电压同步逻辑触发 Sequence RAM 产生，当 Sequence RAM 里的事件码全部被发送出去后，在 EVR 端接收后输出注入定时脉冲序列，即完成了一个注入过程。实验中只简单地设定了 0x02, 0x03, 0x04, 0x05 四个连续定时事件码，在 SSRF 定时系统中将根据实际需要，在 512KRAM 寄存器中任意位置存入 249 个定时事件码中任意一个，即 249 个注入定时脉冲码可以任意排列在 512K 的序列之中。实验记录结果见图 6。

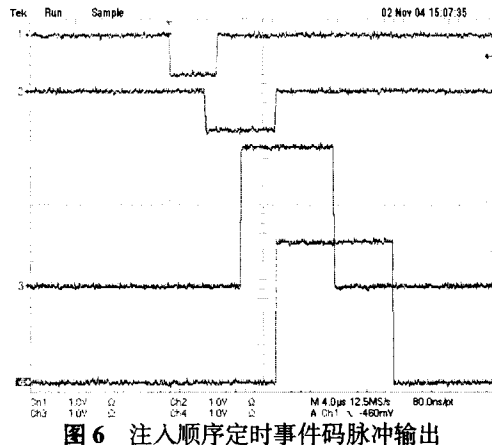


图 6 注入顺序定时事件码脉冲输出

Fig.6 Output pulses of timing event injection sequence

图 6 注入顺序定时事件码脉冲输出，CH1、CH2、CH3、CH4 分别对应转换板的延迟脉冲输出通道 DGP0、DGP1、DGP2、DGP3。对 EVR 输出延时脉冲的设置如表 1 所示。可以清晰地看到四路输出脉冲的延时和宽度与编程设置值一致。时钟设定如下：

注入事件的触发频率是  $50 \text{ Hz} / 50 = 1 \text{ Hz}$ ;

同步旋转频率  $500 \text{ MHz} / 10 / 360 = 0.139 \text{ MHz}$ ;

Sequence RAM 被扫描发送完一次所需的时间是： $1 \mu\text{s} \times 512 \times 1024 = 524.288 \text{ ms}$ ;

注入重复周期是：1 s。

表 1 EVR 的延时脉冲的可编程延时和宽度设置

Table1 Delay and width of output pulse in EVR

	输出 0 DGP0	输出 1 DGP1	输出 2 DGP2	输出 3 DGP3
延时 Delay / $\mu\text{s}$	4	6	8	10
宽度 Width / $\mu\text{s}$	4	6	8	10

### 5.3 测试时钟的传输

定时系统时钟的传输是从事件发生器的分布总线传输到事件接收器的分布总线。时钟信号由多功能计数器对 500 MHz RF 时钟可编程分频产生，实验中对多功能计数器 0、1、2 分别编程预置为 50、100、200，即输出时钟为 1 MHz、500 kHz、250 kHz。实验记录结果如图 7、8、9 所示。

图 7 中 CH2 为 500 kHz 时钟信号，CH1 和 CH3 为 Sequence RAM 注入定时事件码脉冲输出，由图 7 中可以看出，事件系统能够同时发送定时事件码脉冲和时钟信号。图 8 中 CH1、CH2、CH3 的频率都是 1 MHz，是为观察几路时钟信号的同步。图 9 验证了 1 MHz 时钟信号和 500 MHz RF 时钟同步，与上面的结论一致。

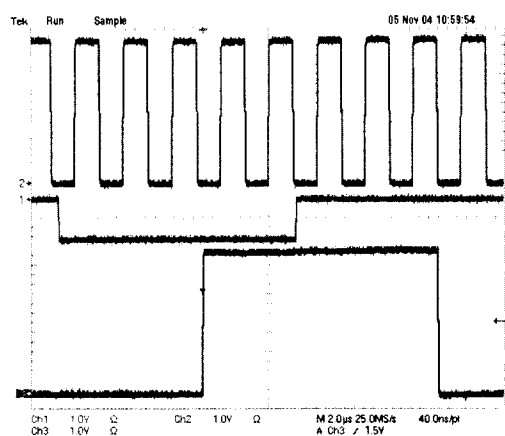


图 7 时钟信号与定时事件码同时传输

Fig.7 Coinstantaneous deliver of timing event pulses and clock signal

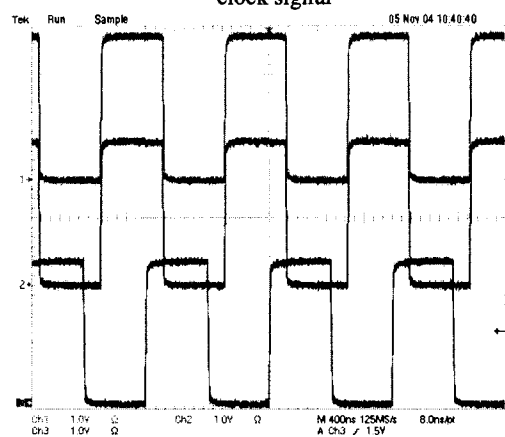


图 8 用 Distributed bus 同时三路时钟传输

Fig.8 Transmit three clocks on distributed bus

#### 5.4 说明

实验中为示波器观察方便起见, RF 时钟 500 MHz, 注入重复频率 1 Hz。

至于 SSRF 实际运行参数, 只需将 RF 时钟改

成 499.65 MHz, 重复频率改成 2 Hz。时钟信号可以是增强器回旋频率、储存环回旋频率、同步旋转频率等。

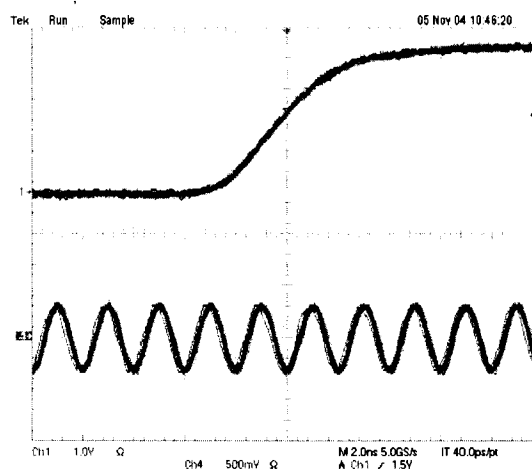


图 9 1MHz 时钟信号与 500MHz RF 时钟信号同步

Fig.9 Synchronization between 1MHz clock and 500MHz RF source

## 6 结论

基本事件系统的建立及硬件功能的测试表明, 以事件系统为结构建立 SSRF 主定时系统是可行的。

### 参考文献

- 1 Pietarinen J. Event Generator EVG-110 plus Event Receiver EVR-100 Users Manual version 3.0, Oct 30, 2003
- 2 Kraimer M R. EPICS IOC Application Developer's Guide, 1998
- 3 Korhonen T, Kalantari B. The Global Event System, Feb 12, 2003

## Application of event system in SSRF timing system

ZHAO Liying YIN Chongxian LIU Dekang

(Shanghai Institute of Applied Physics, the Chinese Academy of Sciences, Shanghai 201800)

**Abstract** An event system distributes all timing signals to all parts of accelerator by way of broadcast. It can satisfy all requests of SSRF main timing system with clear network, high cost effectiveness, advanced technology, good isolation, easy update and expandability. In the paper, it is introduced how to complete the basic tasks of SSRF main timing system with the event system. The test proved that the jitter between main voltage and 500 MHz RF source was 31.44 ps.

**Key words** Event system, Event generator, Event receiver, Transition board, Multimode optic fiber

CLC TP273+.5